

# MATRIX SUBSTRATE, DISPLAY DEVICE, ITS MANUFACTURE AND PROJECTION LIQUID CRYSTAL DISPLAY DEVICE

**Publication number:** JP11133457 (A)

**Publication date:** 1999-05-21

**Inventor(s):** KAMEI SEIJI; KUREMATSU KATSUMI; KOYAMA OSAMU

**Applicant(s):** CANON KK

**Classification:**

- **international:** *G02F1/136; G02F1/1368; G09F9/30; G02F1/13; G09F9/30; (IPC1-7): G02F1/136; G09F9/30*

- **European:**

**Application number:** JP19970292906 19971024

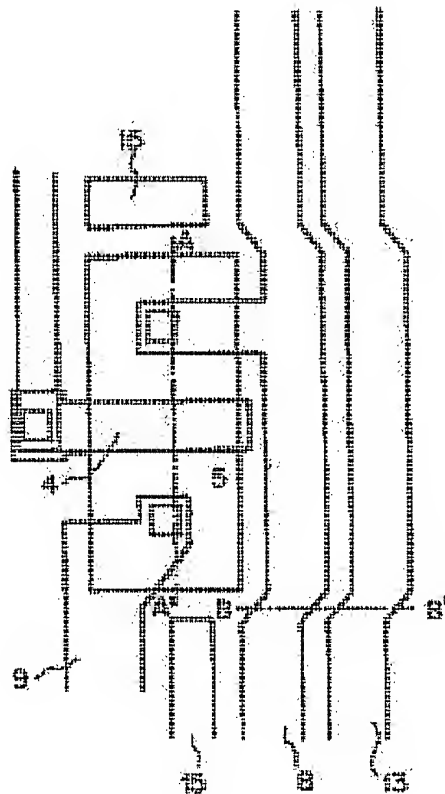
**Priority number(s):** JP19970292906 19971024

## Abstract of JP 11133457 (A)

**PROBLEM TO BE SOLVED:** To form high density metallic wiring with a quick response speed by providing the wiring of potential separate from it and the wiring of floating potential between pixel driving wiring and a signal line formed on a display part.

**SOLUTION:** The wiring of the potential separate from it and the wiring of the floating potential are provided between the pixel driving wiring and signal line formed on the display part. That is, in such a case, an angle is provided on a part of the metallic wiring 13, and by providing a floating electrode until a metallic wiring length is 20  $\mu$ m, stray capacity occurring between the pixel driving wiring and signal line is suppressed to 1fF (femtofarad) or below.

Further, a feed-through voltage is reduced to nearly 1/2 than usual linear wiring, and a display device excellent for the response speed is formed.; Further, by arranging a floating metal 15 between respective electrode wiring, since a wiring gap is uniformized, an interlayer insulation film is made to be formed easily and flatly.



**Family list**

1 application(s) for: JP11133457

**1**

**MATRIX SUBSTRATE, DISPLAY DEVICE, ITS MANUFACTURE  
AND PROJECTION LIQUID CRYSTAL DISPLAY DEVICE**

**Inventor:** KAMEI SEIJI ; KUREMATSU KATSUMI **Applicant:** CANON KK

(+1)

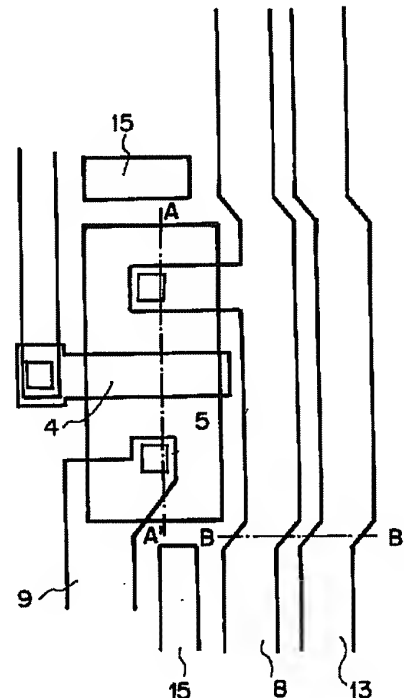
**EC:**

**IPC:** G02F1/136; G02F1/1368; G09F9/30; (+4)

**Publication info:** JP11133457 (A) — 1999-05-21

---

Data supplied from the **esp@cenet** database — Worldwide



## 【特許請求の範囲】

【請求項 1】 基板を表示用に用いる表示装置において、前記基板上に形成する金属配線の形成方法について、表示部に形成される画素駆動用配線と信号線の間に、それとは別の電位の配線とフローティング電位の配線が存在する事を特徴とする表示装置。

【請求項 2】 基板を表示用に用いる表示装置において、前記基板上に形成する金属配線の形成方法について、表示部に形成される画素駆動用配線と信号線の間に、それとは別の電位の配線とフローティング電位の配線が存在し、前記信号線の一部がある角度を持つことを特徴とする表示装置。

【請求項 3】 基板を表示用に用いる表示装置において、前記基板上に形成する金属配線の形成方法について、表示部に形成される画素駆動用配線と信号線の間に、それとは別の電位の配線とフローティング電位の配線が存在し、一部がある角度を持った信号線を繰返しパターンで形成することを特徴とした表示装置。

【請求項 4】 請求項 1 又は、2、3 に記載の表示装置において、前記画素駆動用配線と信号線の間に存在する前記金属配線は孤立パターンであることを特徴とする表示装置。

【請求項 5】 基板を表示用に用いる表示装置において、金属配線と S O G 膜を用いる層間絶縁膜の形成方法について、表示部に形成される画素駆動用配線と信号線の間に、それとは別の電位の配線とフローティング電位の配線が存在し、前記信号線配線の一部がある角度を持ち、その上の絶縁膜上に第 1 の無機 S O G 膜を形成し、表面改質用 U V 光を照射し、さらにその上に第 2 の無機 S O G を形成し、前記層間絶縁膜を平坦化することを特徴とする表示装置。

【請求項 6】 基板を表示用に用いる表示装置において、金属配線の形成方法について、表示部に形成される画素駆動用配線と信号線の間に、それとは別の電位の配線とフローティング電位の配線が存在し、一部がある角度を持った信号線を繰返しパターンで形成し、その上の絶縁膜に第 1 の無機 S O G 膜を形成し、O<sub>2</sub> プラズマを照射し、さらにその上に第 2 の無機 S O G を形成し、層間絶縁膜を平坦化させることを特徴とする表示装置。

【請求項 7】 請求項 2 又は 3、5、6、に記載の表示装置において、前記金属配線の一部が持つ角度は 5 ~ 9 0 度であることを特徴とする表示装置。

【請求項 8】 請求項 4 又は 5 に記載の表示装置において、前記金属配線の繰返しが 2 本以上あることを特徴とする表示装置。

【請求項 9】 請求項 5 に記載の表示装置において、酸素雰囲気中で U V 光の波長が 1 0 0 ~ 3 0 0 n m で、特に、1 7 2 n m、1 8 5 n m、2 5 4 n m の波長の U V 光の発光に伴う活性酸素原子を使用することを特徴とした表示装置。

【請求項 1 0】 請求項 6 に記載の表示装置において、O<sub>2</sub> プラズマから発生する活性酸素原子を使用することを特徴とした表示装置。

【請求項 1 1】 請求項 5 又は 6 に記載の表示装置において、前記画素駆動用配線と信号線の間に存在する金属配線は孤立パターンであることを特徴とする表示装置。

【請求項 1 2】 請求項 1 乃至 6 のいずれか 1 項に記載の表示装置において、前記金属配線間の隙間が 0 . 5 ~ 4 μ m で形成されていることを特徴とする表示装置。

10 【請求項 1 3】 基板を表示用に用いる表示装置の製造方法において、前記基板上に形成する金属配線の形成方法について、表示部に形成される画素駆動用配線と信号線の間に、それとは別の電位の配線とフローティング電位の配線が存在することを特徴とする表示装置の製造方法。

【請求項 1 4】 基板を表示用に用いる表示装置の製造方法において、前記基板上に形成する金属配線の形成方法について、表示部に形成される画素駆動用配線と信号線の間に、それとは別の電位の配線とフローティング電位の配線が存在し、前記信号線の一部がある角度を持つことを特徴とする表示装置の製造方法。

【請求項 1 5】 基板を表示用に用いる表示装置の製造方法において、前記基板上に形成する金属配線の形成方法について、表示部に形成される画素駆動用配線と信号線の間に、それとは別の電位の配線とフローティング電位の配線が存在し、一部がある角度を持った信号線を繰返しパターンで形成することを特徴とした表示装置の製造方法。

30 【請求項 1 6】 基板を表示用に用いる表示装置の製造方法において、金属配線と S O G 膜を用いる層間絶縁膜の形成方法について、表示部に形成される画素駆動用配線と信号線の間に、それとは別の電位の配線とフローティング電位の配線が存在し、前記信号線配線の一部がある角度を持ち、その上の絶縁膜上に第 1 の無機 S O G 膜を形成し、表面改質用 U V 光を照射し、さらにその上に第 2 の無機 S O G を形成し、前記層間絶縁膜を平坦化することを特徴とする表示装置の製造方法。

40 【請求項 1 7】 基板を表示用に用いる表示装置の製造方法において、金属配線の形成方法について、表示部に形成される画素駆動用配線と信号線の間に、それとは別の電位の配線とフローティング電位の配線が存在し、一部がある角度を持った信号線を繰返しパターンで形成し、その上の絶縁膜に第 1 の無機 S O G 膜を形成し、O<sub>2</sub> プラズマを照射し、さらにその上に第 2 の無機 S O G を形成し、層間絶縁膜を平坦化させることを特徴とする表示装置の製造方法。

50 【請求項 1 8】 請求項 1 3 又は 1 4、1 6、1 7 に記載の表示装置の製造方法において、前記金属配線の一部が持つ角度は 5 ~ 9 0 度であることを特徴とする表示装置の製造方法。

【請求項 1 9】 請求項 1 乃至 1 2 に記載の表示装置において、前記基板上に形成する金属配線の形成方法を用いた液晶パネルは、基板と、アクチブマトリクス駆動回路部と、前記導電性部材を含む画素電極と、液晶層と、対向透明電極と、シートガラスとを順次積層した構造を有することを特徴とする表示装置。

【請求項 2 0】 請求項 1 9 に記載の表示装置において、更に前記シートガラス上に形成したマイクロレンズを構成し、前記マイクロレンズの 1 素子は、前記画素電極の 2 つに対して一つ有することを特徴とする表示装置。

【請求項 2 1】 請求項 2 0 に記載の表示装置において、前記マイクロレンズは前記シートガラス上のマイクロレンズガラス基板に形成したことを特徴とする表示装置。

【請求項 2 2】 請求項 1 9 乃至 2 1 のいずれか 1 項に記載の表示装置を用いたことを特徴とする投写型液晶表示装置。

【請求項 2 3】 請求項 2 2 に記載の投写型液晶表示装置において、前記液晶パネルを 3 色カラー用に少なくとも 3 個有し、高反射ミラーと、青色反射ダイクロイックミラーとで青色光を分離し、更に赤色反射ダイクロイックミラーと、緑色／青色反射ダイクロイックミラーで赤色と緑色とを分離して、各液晶パネルを投射することを特徴とする投写型液晶表示装置。

【請求項 2 4】 基板を表示用に用いるマトリクス基板において、前記基板上に形成する金属配線の形成について、表示部に形成される画素駆動用配線と信号線の間に、前記画素駆動用配線と信号線とは別の電位の配線とフローティング電位の配線が存在する事を特徴とするマトリクス基板。

【請求項 2 5】 基板を表示用に用いるマトリクス基板において、金属配線と S O G 膜を用いる層間絶縁膜の形成について、表示部に形成される画素駆動用配線と信号線の間に、前記画素駆動用配線と信号線とは別の電位の配線とフローティング電位の配線が存在し、前記信号線配線の一部がある角度を持ち、その上の絶縁膜上に第 1 の無機 S O G 膜を形成し、表面改質用 U V 光を照射し、さらにその上に第 2 の無機 S O G を形成し、前記層間絶縁膜を平坦化することを特徴とするマトリクス基板。

【請求項 2 6】 請求項 2 4 又は 2 5 に記載のマトリクス基板を用いたことを特徴とする投写型液晶表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、半導体素子を利用した画素電極を有するマトリクス基板及び表示装置の金属配線及び層間絶縁膜の形成方法に関し、特に画素駆動用配線と信号線の間にそれとは別の電位の配線とフローティング電位の配線を有するマトリクス基板と表示装置とその製造方法及び投写型液晶表示装置に関するもので

ある。

【0 0 0 2】

【従来の技術】 従来、半導体装置や表示装置の製造方法で用いられていた金属配線形状は直線的で、層間絶縁膜の表面の平坦性も乏しいものであった。

【0 0 0 3】 従来技術を用いて作成された M O S トランジスタの平面図を図 7 に、層間絶縁膜を堆積させた状態の断面図を図 8、図 9 に示す。図 8 は図 7 の E - E' ( M O S 構造の断面) を示しており、図 9 は F - F' (金属配線部の断面) を示している。同図において、1 は半導体基盤、2 はウェル領域、3 はソース領域、4 はゲート電極、5 はドレイン領域、6 は L O C O S 絶縁層 ( L O C a l O x i d a t i o n o f S i l i c o n i s o l a t i o n l a y e r )、7 は B P S G ( B o r o P h o s p h o S i l i c a t e G l a s s )、8 はソース電極配線、9 はドレイン電極配線、1 0 は第一層間絶縁膜、1 1 は S O G 膜 ( S i l i c o n o n G l a s s f i l m )、1 2 は第二層間絶縁膜、1 3 は電源電圧用金属配線である。また、1 4 はクラックである。

【0 0 0 4】 従来における M O S トランジスタの一般的なプロセスは半導体基盤 1 にウェル領域 2 を形成し、S i N 膜等を堆積させ、パターニングで前記 S i N 膜の一部を除去し、熱酸化法等で L O C O S 絶縁層 6 を形成する。次にゲート酸化膜を熱酸化法等で形成し、L P - C V D ( L o w P r e s s u r e - c h e m i c a l V a p o r D e p o s i t i o n ) 法等で、P o l y - S i 等を堆積させ、不純物を導入し、前記 P o l y - S i の抵抗を下げ、フォトリソグラフィ工程でパターニング、エッチング処理を施し、ゲート電極 4 を形成する。その後、自己整合方式で高濃度不純物をイオン注入法で B (ホウ素) 等を前記ウェル領域 2 内に導入し、熱処理を加え、リース領域 3、ドレイン領域 5 を形成する。

【0 0 0 5】 次に、C V D 法等で B P S G 膜 7 等の絶縁膜を堆積させ、熱処理によりリフローさせる。次にフォトリソグラフィ工程のパターニング、エッチング処理でコンタクト孔を形成し、P V D 法で金属膜を堆積させ、再度パターニング、エッチング処理にてリース電極配線 8、ドレイン電極配線 9 を形成する。その後、各種 C V D 法等で第一層間絶縁膜 1 0 を堆積させ、回転塗布法で S O G 膜 1 1 を塗布し、熱処理を加えた後、各種 C V D 法等で第二層間絶縁膜 1 2 を堆積させる。その後、スルーホールを形成し、多層配線や反射電極となる金属膜を堆積させ、パターニング、エッチング処理を繰り返す事で多層配線や反射電極を形成していた。

【0 0 0 6】

【発明が解決しようとする課題】 しかしながら、前記従来例による金属配線の配置方法は直線的であり、集積度を向上させる為に配線間隔を狭めると配線間でカップリングが発生し、配線間の相互干渉や信号の遅延が発生するので金属配線を高密度では形成し難いという問題があった。

【0007】又、層間絶縁膜の形成方法では平坦化のためP（リン）含有のSOG膜を使用している為、金属配線を腐食させない様にエッチバック工程が必要であった。

【0008】エッチバック処理を行うと金属配線が接触する部分のSOGは除去され、腐食は生じないが、段差被覆性が低下し、層間絶縁膜の平坦性も悪くなり、多層金属配線が断線し易くなる欠点があった。

【0009】又、前記SOG膜はそれ自体の内部応力が大きい為、厚く形成出来ない弱点があり、それを補う為に有機SOG膜が存在するが、有機成分を含む為やはりエッチバック工程が必要であり、金属配線の信頼性の点からも不安な点が多い。

【0010】又、P（リン）含有SOGはそれ自体の応力の為、厚い形成は出来ないが金属配線間が狭まって来るとSOGの液溜りが大きくなる。特に金属配線が長いレイアウトで、配線間が狭い場合はクラック14が生じる事が多く、金属配線間のリークが非常に多くなった

り、歩留りを下げる要因となる。

【0011】第1の本発明の目的は、高密度で、応答速度の速い金属配線の形成を可能にするものである。

【0012】又、第2の本発明の目的は、高密度で、応答速度の速い金属配線の形成すると同時に層間絶縁膜表面を平坦化するものである。

【0013】又、第3の本発明の目的は、層間絶縁膜の耐クラック性を向上させるものである。

【0014】又、第4の本発明の目的は、層間絶縁膜を平坦化すると同時に耐クラック性を向上させ、反射電極の効率や多層金属配線の信頼性を高め、歩留りを向上させるものである。

【0015】

【課題を解決するための手段】上記技術的課題を鑑み、第1の発明は、金属配線の一部に角度を設け、金属配線長が20 $\mu$ mまでのフローティング電極を設け、層間絶縁膜に無機SOG膜を複層構造で形成する事を特徴とする。

【0016】又、第2の発明は、金属配線の一部に角度を設け、金属配線長が20 $\mu$ mまでのフローティング電極を設け、層間絶縁膜上に無機SOG膜を複層構造で形成し、特定の波長を持ったUV光やO<sub>2</sub>プラズマを照射した後、再度無機SOG膜を形成し、その上に絶縁膜を堆積させ、もう一度無機SOG膜を形成し、さらに、絶縁膜を堆積させる事で層間絶縁膜の平坦性を向上させる事を特徴とする。

【0017】又、第3の発明は、金属配線の一部に角度を設け、金属配線長が20 $\mu$ mまでのフローティング電極を設け、層間絶縁膜上に無機SOG膜を複層構造で形成し、特定の波長を持ったUV光やO<sub>2</sub>プラズマを照射した後、再度無機SOG膜を形成する事で層間絶縁膜を平坦化し、層間絶縁膜の耐クラック性を向上させる事を

特徴とする。

【0018】上記構成において、配線の一部に5～90度の角度を持ち、フローティング金属を含む配線間隔を0.5～4 $\mu$ mの金属配線を形成し、層間絶縁膜に無機SOGを形成する事により、無機SOG膜の液溜りに微妙な緩急を持たせる事により無機SOG膜の内部応力を緩和させる事が出来る為、無機SOG膜自体を厚く形成出来、層間絶縁膜の平坦化が可能になる。

【0019】さらに、配線の一部に5～90度の角度を持ち、配線間隔を0.5～4 $\mu$ mの金属配線を形成し、層間絶縁膜に無機SOGを形成した後、172nm, 185nm, 254nmの波長を持つUV光を照射する事で無機SOG膜表面の水素基を切断し、濡れ性を向上させ、再度無機SOGの形成が可能となる。2度の無機SOGの形成より、金属配線間の液溜りは非常に大きくなるが、金属配線が角度を持っている為内部応力は緩和され、厚く形成出来るので層間絶縁膜は著しく平坦化出来る。

【0020】さらに、金属配線の一部に5～90度の角度を設け、配線間隔を0.5～4 $\mu$ mの金属配線を形成し、金属配線長が20 $\mu$ mまでのフローティング電極を設け、その上の層間絶縁膜上に無機SOGを形成した後、172nm, 185nm, 254nmの波長を持つUV光を照射する事で、無機SOG膜表面の水素基を切断し、濡れ性を向上させ、再度無機SOGの形成が可能となる。2度の無機SOGの形成より、金属配線間の液溜りは非常に大きくなるが、金属配線が角度を持っている為内部応力は緩和され、耐クラック性は向上すると共に厚く形成出来るので層間絶縁膜は著しく平坦化出来る。

【0021】さらに、配線の一部に5～90度の角度を持った金属配線を形成し、層間絶縁膜に無機SOGを形成した後、O<sub>2</sub>プラズマを照射する事で、無機SOG膜表面の水素基を切断し、濡れ性を向上させ、再度無機SOGの形成が可能となる。2度の無機SOGの形成より、金属配線間の液溜りは非常に大きくなるが、金属配線が角度を持っている為内部応力は緩和され、耐クラック性は向上すると共に厚く形成出来るので層間絶縁膜は著しく平坦化出来る。

【0022】さらに、配線の一部に5～90度の角度を持ち、配線間隔が0.5～4 $\mu$ mの金属配線を繰り返しパターンで成形し、層間絶縁膜に無機SOGを形成した後、172nm, 185nm, 254nmの波長を持つUV光を照射する事で、無機SOG膜表面の水素基を切断し、濡れ性を向上させ、再度無機SOGの形成が可能となる。2度の無機SOGの成形より、金属配線間の液溜りは非常に大きくなるが、金属配線が角度を持っている為内部応力は緩和され、耐クラック性は向上すると共に厚く形成出来るので埋め込み性が高く、非常に長い金属配線の形成が可能になり層間絶縁膜は著しく平坦化出

来る。

【0023】さらに、配線の一部に5～90度の角度を持ち、配線間隔が0.5～4 μmの金属配線を繰り返しパターンで形成し、層間絶縁膜に無機SOGを形成した後、O<sub>2</sub> プラズマを照射する事で無機SOG膜表面の水素基を切断し、濡れ性を向上させ、再度無機SOGの形成が可能となる。2度の無機SOGの形成より、金属配線間の液溜りは非常に大きくなるが、金属配線が角度を持っている為、内部応力は緩和され、耐クラック性は向上すると共に厚く形成出来るので埋め込み性が高く、非常に長い金属配線の形成が可能になり、層間絶縁膜は著しく平坦化出来る。

【0024】

【発明の実施の形態】

(第1の実施形態) 図1は本発明の第1の実施形態の特徴を最もよく表す図面であり、同図は本発明を用いた画素電極を有するマトリクス装置や半導体装置、及び表示装置のMOSトランジスタの平面図である。さらに同図のA-A'の切断面について、MOSトランジスタの断面位置で、そのプロセスフローを図2に示し、また同図B-B'の切断面について、MOS駆動用金属配線と電源電圧用金属配線を繰り返し使い、さらに延長して使用している場合の断面位置で、そのプロセスフローを図3に示す。

【0025】図1から図3において、1は半導体基盤、2はウェル領域、3はソース領域、4はゲート電極、5はドレイン領域、6はLOCOS絶縁層、7はBPSG、8はソース電極配線、9はドレイン電極配線、10は第一層間絶縁膜、11はSOG膜、12は第二層間絶縁膜、13は電源電圧用金属配線、15はフローティング金属である。なお、半導体基盤1は半導体基板であることが好ましいが、ガラス基板やサファイヤ基板等であっても良く、その基盤上に半導体素子を形成できる構成であればよい。

【0026】図2、図3に示すプロセスフローに沿って本発明の第1の実施形態を説明する。

【0027】まず、不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-3}$ の半導体基盤1を熱酸化法にて熱酸化膜(パッド酸化膜)を形成し、その上にLP-CVD法にてSiN膜を堆積させる。本実施形態は熱酸化膜を350オングストローム、SiN膜を2000オングストローム堆積している。

【0028】次に、フォトリソグラフィ工程のパターニング、エッチング処理にてSiN膜の一部を除去し、イオン注入法にてP(リン)を注入し、引き続いて熱処理を加え、ウェル領域2を形成する。本実施形態ではイオン注入により形成される不純物領域の濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ になる様にPを $1.8 \times 10^{12} \text{ cm}^{-3}$ 注入し、熱処理を1000℃、60分、N<sub>2</sub>/O<sub>2</sub> 雰囲気で施している。

【0029】さらに、図2、図3には示していないが、本実施形態では前記SiN膜を全面除去した後、B(ホウ素)をイオン注入した後、熱処理を加え、異なる導電性を持つウェル領域を形成しており、不純物濃度は前記ウェル領域2と同じ程度に形成されている。

【0030】次にLP-CVD法にてSiN膜を再度堆積させ、フォトリソグラフィ工程にてパターニングを行い、前記SiN膜の一部を除去し、熱酸化法にて熱酸化膜を形成する。本実施形態においては前記SiN膜厚は1500オングストローム、熱酸化膜厚は8000オングストロームである。続いて前記SiN膜を全て除去し、LOCOS絶縁層6を形成する。(図2(a)、図3(a))次に、熱酸化法にてゲート酸化膜(4)を形成し、しきい値調整様に不純物をイオン注入法で導入する。本実施形態ではゲート酸化膜厚は850オングストロームで、不純物はB(ホウ素)を $4 \times 10^{11} \text{ cm}^{-3}$ 、40KeVの条件で前記ゲート酸化膜下に注入している。

【0031】次に、LP-CVD法にてPoly-Siを前記ゲート酸化膜上に堆積させ、全面に不純物を注入し、熱処理を加えた後、パターニング法にてゲート電極4を形成する。本実施形態ではPoly-Siを440オングストローム堆積させた後にP(リン)を $1.5 \times 10^{16} \text{ cm}^{-2}$ 、70KeVで注入し、950℃、30分、N<sub>2</sub> 雰囲気中で熱処理した後にパターニング、エッチングし、ゲート電極4を形成している。ここでゲート電極4にはW、Coといった高融点金属とPoly-Siとの組み合わせ構造をとる事も可能である。さらに本実施形態では、ゲート酸化膜の耐圧を向上させる為に熱酸化法で、前記ゲート電極4上に熱酸化膜を350オングストローム形成している。

【0032】次に、レジストパターニング法にて前記ゲート電極4の周辺のレジストを開口し、不純物を注入する。ここで不純物は前記ウェル領域2と反対の導電性を持つものを注入し、熱処理を加える。本実施形態では前記ウェル領域2がP型に対しP(リン)が熱処理後に $1 \sim 8 \times 10^{17} \text{ cm}^{-3}$ の表面濃度を持つ様に形成している。この領域は電界緩和層となり、MOSトランジスタの耐圧を向上させるものである。さらに本実施形態ではN型のウェル領域2に対してはB(ホウ素)をイオン注入し、表面濃度が $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ になる様に熱処理を加え、電界緩和層を形成している。

【0033】次に、レジストパターニング法にて前記ゲート電極4の周辺のレジストを開口し、前記P型のウェル領域2にN型不純物を導入し、レジストを除去した後再度パターニングを行い、今度は前記N型のウェル領域上のゲート電極周辺のレジストを開口し、前記N型のウェル領域内にP型の不純物を導入する。本実施形態においてはN型不純物はP(リン)を $5 \times 10^{15} \text{ cm}^{-3}$ 、95KeVの条件で注入し、P型不純物はBF<sub>2</sub>を $3 \times$

$1.0^{15} \text{ cm}^{-3}$ ,  $100 \text{ KeV}$ の条件で注入している。レジストを除去した後、熱処理を $\text{N}_2$ 雰囲気 $1000^\circ\text{C}$ 、 $10$ 分加え、不純物を拡散させる事により、前記P型、N型のウェル領域にソース領域3、ドレイン領域5を形成する(図2(b))。本実施形態では前記ソース領域3、ドレイン領域5はレジストパターンニングによりオフセットをもたせている。オフセット量は $0.5 \sim 2.0 \mu\text{m}$ が好適である。オフセットをもたせる方法としては前記ゲート電極の両脇にサイドスペーサを設け、高濃度不純物を導入してもよい。

【0034】次に、CVD法にて絶縁膜を堆積する。本実施形態では常圧TEOS CVD (Tetraethoxy-Silane Chemical Vapor Deposition) 法にてBPSG膜7を堆積しているが、他のCVD法による絶縁膜や複数の絶縁膜を組み合わせて堆積させても良い。続いて $\text{N}_2$ 雰囲気にて $1000^\circ\text{C}$ 、 $5$ 分の熱処理を加え、前記BPSG膜7をリフローする。次に、フォトリソグラフィ工程にてパターンニング、エッチングを行い、前記ソース領域3、ドレイン領域5上にコンタクト孔を開口させ、レジスト除去後、PVD (Physical Vapor Deposition) 法により、配線、電極用の金属膜を堆積させる。本実施形態ではTiとTiNからなるバリアメタルを堆積させ、熱処理を加えた後、Al-SiとTiNを連続成膜しているが、Al-Si-Cu, Al-Cu, Al-Cu-Ti等の材料を使う事も可能である。

【0035】次に、フォトリソグラフィ工程にて配線の一部がある角度を持つマスクを用い、レジストパターンニング、エッチング処理を施し、途中である角度を持つ連続的な形状を特徴とするソース電極配線8、ドレイン電極配線9、電極電圧用配線13、フローティング金属15を形成する(図1、図2(c)、図3(b))。本実施形態では配線間隔は $1 \mu\text{m}$ であるが、 $0.5 \sim 4 \mu\text{m}$ でもよい。さらに、配線に $45$ 度の角度を持たせているが、 $5 \sim 90$ 度の間で耐クラック性の向上がある。金属配線のレイアウト上、 $30 \sim 60$ 度の間の角度を持たせる事で、より効果的である。ここで、角度を持った配線の隣にフローティング金属15を形成する。

【0036】次に、P (Plasma) - CVDにて第1層間絶縁膜10を堆積する。本実施形態ではP-CVD法にてP-SiO膜を $5000$ オングストローム堆積させているが、P-SiN, P-SiON, P (Plasma) - TEOS法の絶縁膜でも可能である(図2(d)、図3(c))。

【0037】次に、回転塗布法にて無機SOG膜を塗布する。本実施形態では無機SOG膜を $2200$ オングストローム塗布した後に、 $172 \text{ nm}$ の波長を持つUV光を照射し、再度無機SOG膜 $2200$ オングストローム塗布し、厚いSOG膜11を形成している。 $172 \text{ nm}$ の波長のUV光の替りに $185 \text{ nm}$ と $254 \text{ nm}$ の波長のUV光や $\text{O}_2$  プラズマを照射する事で、SOG膜の

表面改質には同等の効果を持つ(図2(e)、図3(d))。

【0038】その後、 $400^\circ\text{C}$ 、 $30$ 分の熱処理を加え、続けてP-CVD法にて第2層間絶縁膜12を堆積させる(図2(f) 図3(e))。本実施形態ではP-CVD法にてP-SiO膜を $6000$ オングストローム堆積させているが、P-SiN, P-SiON、及び複数の絶縁膜の組合わせやP-TEOS法の絶縁膜でも可能である。

10 【0039】尚、本実施形態では示していないが、これ以降はフォトリソグラフィ工程にて層間絶縁膜に第1金属配線と導通させる為に、必要なスルーホールをドライエッチ法にて開口させた後、多層配線用の金属をPVD法により堆積、パターンニング、エッチング処理で多層金属配線を形成したり、Alリフロー法を用いた後CMP処理し、反射電極を形成したりする事で、半導体装置や表示装置は完成する。

20 【0040】本実施形態における技術的效果は、金属配線の一部に角度を設け、金属配線長が $20 \mu\text{m}$ までのフローティング電極を設ける事で、画素駆動用配線と信号線の間に生じる寄生容量を $1 \text{ fF}$  (femto Farads) 以下に抑える事ができる(図10)。

【0041】又、同時に従来の直線的な配線よりも、フォードスルー電圧を約 $1/2$ まで低下させる事が可能となる為、応答速度の優れた表示装置の形成が可能となる(図11)。

【0042】又、各電極配線間にフローティング金属15を配置する事により、配線間隔を均等に出来る為、層間絶縁膜をより平坦に成形し易い効果を持つ。さらに、半導体装置や表示装置に用いられるソース電極配線やドレイン電極配線、電源電圧配線といった金属配線の一部に $5 \sim 90^\circ$ の角度を持たせ、配線間隔を $0.5 \sim 4 \mu\text{m}$ に保つ事により、層間絶縁膜に用いられる無機SOG膜の耐クラック性を向上させつつ厚く形成する事が可能となる為(図12、図13)、層間絶縁膜が非常に平坦となり、信頼性の高い多層金属配線の形成や、反射率の高い反射電極の形成が可能となり、さらに集積度の高い半導体装置や高画素密度の表示装置の形成が可能となり、性能や歩留りを向上させる事が可能となる。因みに、図12は本発明に係る金属配線を曲げた場合の角度と、絶縁膜中に発生するクラックの本数の変化を示す図であり、配線角度が $5^\circ$ 以上であれば、クラックの発生を防止できることが理解できる。また、図13は本発明に係るフローティング金属を用いた場合の配線間隔と、絶縁膜中に発生するクラックの本数の変化を示す図であり、配線角度が $5^\circ$ 以上であれば、配線間隔が $0.5 \mu\text{m}$ 以上で殆どクラックは発生しないことが現れている。

50 【0043】(第2の実施形態) 図4は本発明の第2の実施形態の特徴を最もよく表す図面であり、同図は本発明を用いた半導体装置、及び表示装置のMOSトランジ



スタの平面図である。さらに同図のC-C'はMOSトランジスタの断面位置で、そのプロセスフローを図5に示し、同図D-D'はMOS駆動用金属配線と電源電圧用金属配線を繰り返し、さらに延長して使用している場合の断面位置で、そのプロセスフローを図6に示す。

【0044】図4から図6において、1は半導体基盤、2はウェル領域、3はソース領域、4はゲート電極、5はドレイン領域、6はLOCOS絶縁層、7はBPSSG、8はソース電極配線、9はドレイン電極配線、10は第一層間絶縁膜、11はSOG膜、12は第二層間絶縁膜、13は電源電圧用金属配線、15はフローティング金属であり、図1乃至図3に示した同一個所には同一符号を付している。

【0045】図5、図6に示すプロセスフローに沿って、本発明の第2の実施形態を説明する。

【0046】まず、不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-3}$ の半導体基盤1を、熱酸化法にて熱酸化膜(パッド酸化膜)を形成し、その上にLP-CVD法にてSiN膜を堆積させる。本実施形態は熱酸化膜を350オングストローム、SiN膜を2000オングストローム堆積している。

【0047】次に、フォトリソグラフィ工程のパターニング、エッチング処理にてSiN膜の一部を除去し、イオン注入法にてP(リン)を注入し、引き続いて熱処理を加え、ウェル領域2を形成する。本実施形態ではイオン注入により形成される不純物領域の濃度が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ になる様にPを $1.8 \times 10^{12} \text{ cm}^{-3}$ 注入し、熱処理を1000℃、60分、N<sub>2</sub>/O<sub>2</sub>雰囲気で施している。

【0048】さらに、図5、図6には示していないが、本実施形態では前記SiN膜を全面除去した後、B(ホウ素)をイオン注入した後熱処理を加え、異なった導伝性を持つウェル領域を形成しており、不純物濃度は前記ウェル領域2と同じ程度に形成されている。

【0049】次に、LP-CVD法にてSiN膜を再度堆積させ、フォトリソグラフィ工程にてパターニングを行い、前記SiN膜の一部を除去し、熱酸化法にて熱酸化膜を形成する。本実施形態においては前記SiN膜厚は1500オングストローム、熱酸化膜厚は8000オングストロームである。続いて前記SiN膜を全て除去し、LOCOS絶縁層6を形成する(図5(a)、図6(a))。

【0050】次に、熱酸化法にてゲート酸化膜を形成し、しきい値調整様の不純物をイオン注入法で導入する。本実施形態ではゲート酸化膜厚は850オングストロームで、不純物はB(ホウ素)を $4 \times 10^{11} \text{ cm}^{-3}$ 、40KeVの条件で前記ゲート酸化膜下に注入している。

【0051】次に、LP-CVD法にてPoly-Si

を前記ゲート酸化膜上に堆積させ、全面に不純物を注入し、熱処理を加えた後、パターニング法にてゲート電極4を形成する。本実施形態ではPoly-Siを4400オングストローム堆積させた後にP(リン)を $1.5 \times 10^{16} \text{ cm}^{-2}$ 、70KeVで注入し、950℃、30分、N<sub>2</sub>雰囲気で熱処理した後にパターニング、エッチングし、ゲート電極4を形成している。ここでゲート電極4にはW、Coといった高融点金属とPoly-Siとの組み合わせ構造をとる事も可能である。さらに本実施形態ではゲート酸化膜の耐圧を向上させる為に熱酸化法で前記ゲート電極4上に熱酸化膜を350オングストローム形成している。

【0052】次に、レジストパターニング法にて前記ゲート電極4の周辺のレジストを開口し、不純物を注入する。ここで不純物は前記ウェル領域と反対の導伝性を持つものを注入し、熱処理を加える。本実施形態では前記ウェル領域がP型に対しP(リン)が熱処理後に $1 \sim 8 \times 10^{17} \text{ cm}^{-3}$ の表面濃度を持つ様に形成している。この領域は電界緩和層となり、MOSトランジスタの耐圧を向上させるものである。さらに本実施形態ではN型のウェル領域に対してはB(ホウ素)をイオン注入し、表面濃度が $1 \times 10^{16} \sim 1 \times 10^{17} \text{ cm}^{-3}$ になる様に熱処理を加え、電界緩和層を形成している。

【0053】次に、レジストパターニング法にて前記ゲート電極4の周辺のレジストを開口し、前記P型のウェル領域にN型不純物を導入し、レジストを除去した後に再度パターニングを行い、今度は前記N型のウェル領域上のゲート電極周辺のレジストを開口し、前記N型のウェル領域内にP型の不純物を導入する。本実施形態においてはN型不純物はP(リン)を $5 \times 10^{15} \text{ cm}^{-3}$ 、95KeVの条件で注入し、P型不純物はBF<sub>2</sub>を $3 \times 10^{15} \text{ cm}^{-3}$ 、100KeVの条件で注入している。レジストを除去した後、熱処理をN<sub>2</sub>雰囲気中1000℃、10分加え、不純物を拡散させる事により、前記P型、N型のウェル領域にソース領域3、ドレイン領域5を形成する(図5(b))。

【0054】本実施形態では前記ソース領域3、ドレイン領域5はレジストパターニングによりオフセットをもたせている。オフセット量は0.5～2.0μmが好適である。オフセットをもたせる方法としては前記ゲート電極の両脇にサイドスペーサを設け、高濃度不純物を導入してもよい。

【0055】次に、CVD法にて絶縁膜を堆積する。本実施形態では常圧TEOS-CVD法にてBPSSG膜7を堆積しているが、他のCVD法による絶縁膜や複数の絶縁膜を組み合わせで堆積させても良い。続いてN<sub>2</sub>雰囲気中1000℃、5分の熱処理を加え、前記BPSSG膜7をリフローする。次に、フォトリソグラフィ工程にてパターニング、エッチングを行い、前記ソース領域3、ドレイン領域5上にコンタクト孔を開口させ、レジ

スト除去後、PVD法により、配線、電極用の金属膜を堆積させる。本実施形態ではTiとTiNからなるバリア金属を堆積させた、熱処理を加えた後、Al-SiとTiNを連続成膜しているが、Al-Si-Cu、Al-Cu、Al-Cu-Ti等の材料を使う事も可能である。

【0056】次に、フォトリソグラフィ工程にて配線の一部がある角度を持つマスクを用い、レジストパターンニング、エッチング処理を施し、その配線が非常に長く、途中で角度を持つ連続的な形状を特徴とした配線が繰り返しパターンとなるソース電極配線8、ドレイン電極配線9、電源電圧用配線13、フローティング金属15を形成する(図4、図5(c)、図6(b))。本実施形態では配線間隔は1 $\mu$ mであるが、0.5~4 $\mu$ mでもよい。さらに、配線に45度の角度を持たせているが、5~90度の間で耐クラック性の向上がある。金属配線のレイアウト上、30~60度の間の角度を持たせる事で、より効果的である。ここで、角度を持った配線の隣にフローティング金属を形成する。

【0057】次にP-CVDにて第1層間絶縁膜10を堆積する。本実施形態ではP-CVD法にてP-SiO膜を5000オングストローム堆積させているが、P-SiN、P-SiON、P-TEOS法の絶縁膜でも可能である(図5(d)、図6(c))。

【0058】次に、回転塗布法にて無機SiO膜を塗布する。本実施形態では無機SiO膜を2200オングストローム塗布した後に172nmの波長を持つUV光を照射し、再度無機SiO膜2200オングストローム塗布し、厚いSiO膜11を形成している。172nmの波長のUV光の替りに185nmと254nmの波長のUV光や、O<sub>2</sub>プラズマを照射する事でSiO膜の表面改質には同等の効果を持つ(図5(e)、図6(d))。

【0059】その後、400℃、30分の熱処理を加え、続けてP-CVD法にて第2層間絶縁膜12を堆積させる(図5(f)図6(e))。本実施形態ではP-CVD法にてP-SiO膜を6000オングストローム堆積させているが、P-SiN、P-SiON、及び複数の絶縁膜の組合わせやP-TEOS法の絶縁膜でも可能である。

【0060】尚、本実施形態では示していないが、これ以降はフォトリソグラフィ工程にて層間絶縁膜に第1金属配線と導通させる為に、必要なスルーホールをドライエッチ法にて開口させた後、多層配線用の金属をPVD法により堆積、パターンニング、エッチング処理で多層金属配線を形成したり、Alリフロー法を用いた後、CMP処理し、反射電極を形成したりする事で、半導体装置や表示装置は完成する。

【0061】本実施形態における技術的效果は、一部に角度を持った金属配線を繰返しパターンで形成し、金属

配線長が20 $\mu$ mまでのフローティング電極を設ける事で、画素駆動用配線と信号線の間に生じる寄生容量を、1fF以下に抑える事ができる(図10)。

【0062】又、同時に従来の直線的な配線よりも、フィードスルー電圧を約1/2まで低下させる事が可能となる為、応答速度の優れた表示装置の形成が可能となる(図11)。

【0063】又、各電極配線間にフローティング金属15を配置する事により、配線間隔を均等に出来る為、層間絶縁膜をより平坦に形成し易い効果を持つ。さらに、半導体装置や表示装置に用いられるソース電極配線やドレイン電極配線、電源電圧配線といった金属配線の一部に5~90°の角度を持たせ、配線間隔を0.5~4 $\mu$ mに保つ事で層間絶縁膜に用いられる無機SiO膜の耐クラック性を向上させつつ厚く形成する事が可能となる為、層間絶縁膜が非常に平坦となり、信頼性の高い多層金属配線の形成や、反射率の高い反射電極の形成が可能となり、さらに集積度の高い半導体装置や高画素密度の表示装置の形成が可能となり、性能や歩留りを向上させる事が可能となる。

【0064】(第3の実施形態) 上述の液晶表示素子を設けた別の実施形態として、液晶表示装置の一製造方法について説明する。

【0065】以下に、本発明の実施形態を複数の液晶パネルを挙げて記述するが、それぞれの形態に限定されるものではない。相互の形態の技術を組み合わせることによって効果が増大することはいうまでもない。また、液晶パネルの構造は、半導体基板を用いたもので記述しているが、必ずしも半導体基板に限定されるものではなく、通常の透明基板上に以下に記述する構造体を形成してもいい。また、以下に記述する液晶パネルは、すべてMOSETやTFT型であるが、ダイオード型などの2端子型であってもいい。さらに、以下に記述する液晶パネルは、家庭用テレビはもちろん、プロジェクタ、ヘッドマウントディスプレイ、3次元映像ゲーム機器、ラップトップコンピュータ、電子手帳、テレビ会議システム、カーナビゲーション、飛行機のパネルなどの表示装置として有効である。

【0066】本実施形態の液晶パネル部の断面を図14に示す。図において、301は半導体基板、302、302'はそれぞれp型及びn型ウェル、303、303'、303''はトランジスタのソース領域、304はゲート領域、305、305'、305''はドレイン領域である。

【0067】図14に示すように、表示領域のトランジスタは、20~35Vという高耐圧が印加されるため、ゲート304に対して、自己整合的にソース、ドレイン層が形成されず、オフセットをもたせ、その間にソース領域303'、ドレイン領域305'に示す如く、pウェル中の低濃度のn<sup>-</sup>層、nウェル中の低濃度のp<sup>-</sup>層

が設けられる。ちなみにオフセット量は $0.5 \sim 2.0 \mu\text{m}$ が好適である。一方、周辺回路の一部の回路部が図15に示されているが、周辺部の一部の回路は、ゲートに自己整合的にソース、ドレイン層が形成されている。

【0068】ここでは、ソース、ドレインのオフセットについて述べたが、それらの有無だけでなく、オフセット量をそれぞれの耐圧に応じて変化させたり、ゲート長の最適化が有効である。これは、周辺回路の一部は、ロジック系回路であり、この部分は、一般に $1.5 \sim 5\text{V}$ 系駆動でよいため、トランジスタサイズの縮小及び、トランジスタの駆動力向上のため、上記自己整合構造が設けられている。本基板1は、p型半導体からなり、基板は、最低電位（通常は、接地電位）であり、n型ウェルは、表示領域の場合、画素に印加する電圧すなわち $20 \sim 35\text{V}$ がかかり、一方、周辺回路のロジック部は、ロジック駆動電圧 $1.5 \sim 5\text{V}$ が印加される。この構造により、それぞれ電圧に応じた最適なデバイスを構成でき、チップサイズの縮小のみならず、駆動スピードの向上による高画素表示が実現可能になる。

【0069】また、図14において、306はフィールド酸化膜、310はデータ配線につながるソース電極、311は画素電極につながるドレイン電極、312は反射鏡を兼ねる画素電極、307は表示領域、周辺領域を覆う遮光層で、Ti, TiN, W, Mo等が適している。

【0070】図14に示すように、上記遮光層307は、表示領域では、画素電極312とドレイン電極311との接続部を除いて覆われているが、周辺画素領域では、一部ビデオ線、クロック線等、配線容量が重くなる領域は上記遮光層307を除き、上記遮光層307が除かれた部分で照明光の光が混入し、高速信号が回路の誤動作を起こす場合は、画素電極312の層をおおう設計になっていて転送可能な工夫がなされている。また、308は遮光層307の下部の絶縁層で、P-SiO層318上にSiO<sub>2</sub>により平坦化処理を施し、そのP-SiO層318をさらに、P-SiO層308でカバーし、絶縁層308の安定性を確保した。

【0071】ここで、本実施形態による金属配線及び層間絶縁膜318、308の形成方法を図1、図2、及び図3を用いて説明する。まず、PVD法により、配線、電極用の金属膜を堆積させる。本実施形態では、TiとTiNからなるバリアメタルを堆積させた。熱処理を加えた後、Al-SiとTiNを連続成膜しているが、Al-Si-Cu, Al-Cu, Al-Cu-Ti等の材料を使うことも可能である。

【0072】つぎに、フォトリソグラフィ工程にて、配線の一部がある角度を持つマスクを用い、レジストパターンニング、エッチング処理を施し、途中である角度を持つ連続的な形状を特徴とするソース電極配線8、ドレイン電極配線9、電源電圧用配線13、フローティング金

属15を形成する（図1、図2(c)、図3(b)）。

【0073】本実施形態では、配置間隔は $1 \mu\text{m}$ であるが、 $0.4 \sim 4 \mu\text{m}$ であってもよい。さらに、配線は45度の角度を持たせているが、 $5 \sim 90$ 度の間で耐クラック性の向上がある。金属配線のレイアウト上、 $30 \sim 60$ 度の間の角度を持たせることで、より効果的である。ここで、角度を持った配線の隣にフローティング配線を形成する。

【0074】つぎに、P-CVD法にて第1層間絶縁膜10（図14では318）を堆積する。本実施形態では、P-CVD法にてP-SiO膜を5000オングストロームさせているが、P-SiN, P-SiON, P-TEOS法の絶縁膜でも可能である（図2(d)、図3(c)）。

【0075】次に、回転塗布法にて無機SiO<sub>2</sub>膜を塗布する。本実施形態では、無機SiO<sub>2</sub>膜を2200オングストローム塗布した後に172nmの波長を持つUV光を照射し、再度無機SiO<sub>2</sub>膜を2200オングストローム塗布し、厚いSiO<sub>2</sub>膜11（図3による）を形成している。172nmの波長を持つUV光の代わりに185nmと254nmの波長のUV光や、O<sub>2</sub>プラズマを照射することでもSiO<sub>2</sub>膜の表面改質には同等の効果を有する（図2(e)、図3(d)）。

【0076】その後、 $400^\circ\text{C}$ 、30分の熱処理を加え、続けてP-CVD法にて第2層間絶縁膜12を堆積させる（図2(f)、図3(e)）。本実施形態では、P-CVD法にてP-SiO膜を6000オングストローム堆積させているが、P-SiN, P-SiON, 及び複数の絶縁膜の組合せや、P-TEOS法の絶縁膜でも可能である。

【0077】また、図14において、309は反射電極312と遮光層307との間に設けられた絶縁層で、この絶縁層309を介して反射電極312の電荷保持容量となっている。大容量形成のために、SiO<sub>2</sub>以外に、高誘電率のP-SiN, Ta<sub>2</sub>O<sub>5</sub>、やSiO<sub>2</sub>との積層膜等が有効である。遮光層307にTi, TiN, Mo, W等の平坦なメタル上に設ける事により、500～5000オングストローム程度の膜厚が好適である。

【0078】さらに、314は液晶材料、315は共通透明電極、316は対向基板、317, 317'は高濃度不純物領域、319は表示領域、320は反射防止膜である。

【0079】図14に示すように、トランジスタ下部に形成されたウェル302, 302'と同一極性の高濃度不純物層317, 317'は、ウェル302, 302'の周辺部及び内容に形成されており、高振幅な信号がソースに印加されても、ウェル電位は、低抵抗層で所望の電位に固定されているため、安定しており、高品質な画素表示が実現できた。さらにn型ウェル302'とp型ウェル302との間には、フィールド酸化膜を介して上

記高濃度不純物層 3 1 7, 3 1 7' が設けられており、通常 MOS トランジスタの時に使用されるフィールド酸化膜直下のチャネルストップ層を不要にしている。

【0080】これらの高濃度不純物層 3 1 7, 3 1 7' は、ソース、ドレイン層形成プロセスで同時にできるので製プロセスにおけるマスク枚数、工数が削減され、低コスト化が図れた。

【0081】次に、3 1 3 は共通透明電極 3 1 5 と対向基板 3 1 6 との間に設けられた反射防止用膜で、界面の液晶の屈折率を考慮して、界面反射率が軽減されるように構成される。その場合、対向基板 3 1 6 と、透過電極 3 1 5 の屈折率よりも小さい絶縁膜が好適である。

【0082】次に、本実施形態の平面図を図 1 5 に示す。図において、3 2 1 は水平シフトレジスタ、3 2 2 は垂直シフトレジスタ、3 2 3 は n チャンネル MOS FET、3 2 4 は p チャンネル MOS FET、3 2 5 は保持容量、3 2 6 は液晶層、3 2 7 は信号転送スイッチ、3 2 8 はリセットスイッチ、3 2 9 はリセットパルス入力端子、3 3 0 はリセット電源端子、3 3 1 は映像信号の入力端子である。半導体基板 3 0 1 は図 2 1 では p 型になっているが、n 型でもよい。

【0083】ウェル領域 3 0 2' は、半導体基板 3 0 1 と反対の導電型にする。このため、図 1 4 では、ウェル領域 3 0 2 は p 型になっている。p 型のウェル領域 3 0 2 及び n 型のウェル領域 3 0 2' は、半導体基板 3 0 1 よりも高濃度に不純物が注入されていることが望ましく、半導体基板 3 0 1 の不純物濃度が  $10^{14} \sim 10^{15} \text{ (cm}^{-3}\text{)}$  のとき、ウェル領域 3 0 2 の不純物濃度は  $10^{15} \sim 10^{17} \text{ (cm}^{-3}\text{)}$  が望ましい。

【0084】ソース電極 3 1 0 は、表示用信号が送られてくるデータ配線に、ドレイン電極 3 1 1 は画素電極 3 1 2 に接続する。これらの電極 3 1 0, 3 1 1 には、通常 Al, Al Si, Al Si Cu, Al Ge Cu, Al Cu 配線を用いる。これらの電極 3 1 0, 3 1 1 の下部と半導体との接触面に、Ti と Ti N からなるバリアメタル層を用いると、コンタクトが安定に実現できる。またコンタクト抵抗も低減できる。画素電極 3 1 2 は、表面が平坦で、高反射材が望ましく、通常の配線用金属である Al, Al Si, Al Si Cu, Al Ge Cu, Al C 以外に Cr, Au, Ag などの材料を使用することが可能である。また、平坦性の向上のため、下地絶縁層 3 0 9 や画素電極 3 1 2 の表面をケミカルメカニカルポリッシング (CMP) 法によって処理している。

【0085】保持容量 3 2 5 は、画素電極 3 1 2 と共通透明電極 3 1 5 の間の信号を保持するための容量である。ウェル領域 3 0 2 には、基板電位を印加する。本実施形態では、各行のトランスマッションゲート構成を、上から 1 行目は上が n チャンネル MOS FET 3 2 3 で、下が p チャンネル MOS FET 3 2 4、2 行目は上

ル MOS FET 3 2 3 とするように、隣り合う行で順序を入れ換える構成にしている。以上のように、ストライプ型ウェルで表示領域の周辺で電源線とコンタクトしているだけでなく、表示領域にも、細い電源ラインを設けコンタクトをとっている。

【0086】この時、ウェルの抵抗の安定化がカギになる。したがって、p 型基板であれば、n ウェルの表示領域内部でのコンタクト面積又はコンタクト数を p ウェルのコンタクトより増強する構成を採用した。p ウェルは、p 型基板で一定電位がとられているため、基板が低抵抗体としての役割を演ずる。したがって、島状になる n ウェルのソース、ドレインへの信号の入出力による振られの影響が大きくなりやすいが、それを上部の配線層からのコンタクトを増強することで防止できた。これにより、安定した高品位な表示が実現できた。

【0087】映像信号 (ビデオ信号、パルス変調されたデジタル信号など) は、映像信号入力端子 3 3 1 から入力され、水平シフトレジスタ 3 2 1 からのパルスに応じて信号転送スイッチ 3 2 7 を開閉し、各データ配線に出力する。垂直シフトレジスタ 3 2 2 からは、選択した行の n チャンネル MOS FET 3 2 3 のゲートへはハイパルス、p チャンネル MOS FET のゲートへはローパルスを印加する。

【0088】以上のように、画素部のスイッチは、単結晶の CMOS トランスマッションゲートで構成されており、画素電極へ書き込む信号が、MOS FET のしきい値に依存せず、ソースの信号フル書き込める利点を有する。

【0089】又、スイッチが、単結晶トランジスタから成り立っており、polysilicon-T F T の結晶粒界での不安定な振まい等がなく、バラツキのない高信頼性な高速駆動が実現できる。

【0090】次にパネル周辺回路の構成について、図 1 6 を用いて説明する。図 1 6 において、3 3 7 は液晶素子の表示領域、3 3 2 はレベルシフター回路、3 3 3 はビデオ信号サンプリングスイッチ、3 3 4 は水平シフトレジスタ、3 3 5 はビデオ信号入力端子、3 3 6 は垂直シフトレジスタである。

【0091】以上に示す構成により、H、V ともにシフトレジスタ等のロジック回路は、ビデオ信号入力端子 3 3 5 から 2.5 V、3.0 V 程度の振幅が供給されるので、1.5 ~ 5 V 程度と極めて低い値で駆動でき、高速、低消費電圧化が達成できた。ここでの水平、垂直 SR は、走査方向は選択スイッチにより双方向可能なものとなっており、光学系の配置等の変更に対して、パネルの変更なしに対応でき、製品の異なるシリーズにも同一パネルが使用でき低コスト化が図れるメリットがある。又、図 1 6 においては、ビデオ信号サンプリングスイッチは、片側極性の 1 トランジスタ構成のものを記述したが、これに限らず、CMOS トランスマッションゲート構成に

することにより入力ビデオ線をすべてを信号線に書き込むことができることは、言うまでもない。

【0092】又CMOSトランスマッションゲート構成にした時、NMOSゲートとPMOSゲート面積や、ゲートとソードレインとの重なり容量の違いにより、ビデオ信号に振られが生じる課題がある。これにはそれぞれの極性のサンプリングスイッチのMOSFETのゲート量の約1/2のゲート量のMOSFETのソースとドレインとを信号線にそれぞれ接続し、逆相パルスで印加することにより振られが防止でき、きわめて良好なビデオ信号が信号線に書き込まれた。これにより、さらに高品位の表示が可能になった。

【0093】次に、ビデオ信号と、サンプリングパルスの同期を正確にとる方向について図17を用いて説明する。このためには、サンプリングパルスのdelay量を変化させる必要がある。342はパルスdelay用インバータ、343はどのdelay用インバータを選択するかを決めるスイッチ、344はdelay量が制御された出力、345は容量(out Bは逆相出力、outは同相出力)である。346は保護回路である。

【0094】SEL1(SEL1B)からSEL3(SEL3B)の組み合わせにより、delay用インバータ342を何コ通過するかが選択できる。

【0095】この同期回路がパネルに内蔵していることにより、パネル外部からのパルスのdelay量が、R、G、B3板パネルのとき、治具等の関係で対称性がくずれても、上記選択スイッチで調整でき、R、G、Bのパルス位相高域による位置ずれがない良好な表示画像が得られた。又、パネル内部に温度測定ダイオードを内蔵させ、その出力によりdelay量をテーブルから参照し温度補正することも有効である事は言うまでもない。

【0096】次に、液晶材との関係について説明する。図14では、平坦な対向基板構造のものを示したが、共通電極基板316は、共通透明電極315の界面反射を防ぐため、凹凸を形成し、その表面に共通透明電極315を設けている。また、共通電極基板316の反対側には、反射防止膜320を設けている。これらの凹凸形状の形成のために、微少な粒径の砥粒により砂ずり研磨をおこなう方式も高コントラスト化に有効である。

【0097】液晶材料としては、ポリマー・ネットワーク液晶PNLCを用いた。ただし、ポリマー・ネットワーク液晶として、PDLCなどを用いてもいい。ポリマー・ネットワーク液晶PNLCは、重合相分離法によって作製される。液晶と重合性モノマーやオリゴマーで溶液をつくり、通常の方法でセル中に注入した後、UV重合によって液晶と高分子を相分離させ、液晶中に網目状に高分子を形成する。PNLCは多くの液晶(70~90wt%)を含有している。

【0098】PNLCにおいては、屈折率の異方性(Δ

n)の高いネマチック液晶を用いると光散乱が強くない、誘電異方性(Δε)の大きいネマチック液晶を用いると低電圧で駆動が可能となる。ポリマー・ネットワークのおおきさ、すなわち網目の中心間距離が1~1.5(μm)の場合、光散乱は高コントラストを得るのに十分強くなる。

【0099】次に、シール構造と、パネル構造との関係について、図18を用いて説明する。図18において、351はシール部、352は電極パッド、353はクロックバッファ回路である。不図示のアンプ部は、パネル電気検査時の出力アンプとして使用するものである。また、対向基板の電位をとる不図示のAgペースト部があり、また356は液晶素子による表示部、357は水平・垂直シフトレジスタ(SR)等の周辺回路部である。シール部351は表示部356の四方周辺に半導体基板301上に画素電極312を設けたものと共通電極315を備えたガラス基板との張り合わせのための圧着材や接着剤の接触領域を示し、シール部351で張り合わせた後に、表示部356とシフトレジスタ部357に液晶を封入する。

【0100】図18に示すように、本実施形態では、シールの内部にも、外部にも、totalchip sizeが小さくなるように、回路が設けられている。本実施形態では、パッドの引き出しをパネルの片辺側の1つに集中させているが、長辺側の両辺でも又、一辺でなく多辺からのとり出しも可能で、高速クロックをとり扱うときに有効である。

【0101】さらに、本実施形態のパネルは、Si基板等の半導体基板を用いているため、プロジェクタのように強力な光が照射され、基板の側壁にも光があたると、基板電位が変動し、パネルの誤動作を引き起こす可能性がある。したがって、パネルの側壁及び、パネル上面の表示領域の周辺回路部は、遮光できる基板ホルダーとなっており、又、Si基板の裏面は、熱伝導率の高い接着剤を介して熱伝導率の高いCu等のメタルが接続されたホルダー構造となっている。

【0102】次に本実施形態のポイントである反射電極構造及びその作製方法について述べる。本実施形態の完全平坦化反射電極構造は、メタルをパターニングしてから、研磨する通常の方法とは異なり、電極パターンのところにあらかじめ、溝のエッチングをしておき、そこにメタルを成膜し、電極パターンが成形されない領域上のメタルを研磨でとり除くとともに、電極パターン上のメタルも平坦化する新規な方法である。しかも、配線の幅が配線以外の領域よりも極めて広く、従来のエッチング装置の常識では、下記問題が発生し、本実施形態の構造体は作製できない。

【0103】エッチングすると、エッチング中にポリマーが堆積し、パターニングができなくなる。そこで、酸化膜系エッチング(CF<sub>4</sub>/CHF<sub>3</sub>系)において、条

10

20

30

40

50

件を変えてみた。図 19 に示すように、total 圧力（従来）1. 7 torr 時について図 19 (a) を、（今回）1. 0 torr 時について図 19 (b) を示す。

【0104】図 19 (a) の条件で、デポジション性のガス  $\text{CHF}_3$  をへらすと、たしかにポリマーの堆積は、減少するが、レジストに近いパターンと遠いパターンでの寸法の違い（ローディング効果）がきわめて大きくなり、使用できない事がわかる。

【0105】図 19 (b) では、ローディング効果おさえるため、徐々に圧力を下げていき、1 torr 以下になるとローディング効果はかなり抑制され、かつ  $\text{CHF}_3$  をゼロにし、 $\text{CF}_4$  のみによるエッチングが有効であることを見出した。

【0106】さらに、画素電極領域は、ほとんどレジストが存在せず、周辺部にはレジストでしめられている。構造体を形成するのは難しく、構造として、画素電極と同等の空き電極とその形状を表示領域の周辺部まで設ける事が有効であることがわかった。

【0107】本構造にすることにより、従来あった表示部と周辺部もしくはシール部との段差もなくなり、ギャップ精度が高くなり、面内均一圧が高くなるだけでなく、注入時のムラもへり、高品位の画質が歩留りよくできる効果が得られた。

【0108】次に、本実施形態の反射型液晶パネルを組み込む光学システムについて図 20 を用いて説明する。図 20 において、371 はハロゲンランプ等の光源、372 は光源像をしばり込む集光レンズ、373、375 は平面状の凸型フレネルレンズ、374 は R、G、B に分解する色分解光学素子で、ダイクロイックミラー、回折格子等が有効である。

【0109】また、376 は R、G、B 光に分離されたそれぞれの光を R、G、B 3 パネルに導くそれぞれのミラー、377 は集光ビームを反射型液晶パネルに平行光で照明するための視野レンズ、378 は上述の反射型液晶素子、379 の位置にしばりがある。また、380 は複数のレンズを組み合わせて拡大する投射レンズ、381 はスクリーンで、通常、投射光を平行光へ変換するフレネルレンズと上下、左右に広視野角として表示するレンチキュラレンズの 2 板より構成されると明瞭な高コントラストで明るい画像を得ることができる。図 20 の構成では、1 色のパネルのみ記載されているが、色分解光学素子 374 からしばり部 379 の間は 3 色それぞれに分離されており、3 板パネルが配置されている。又、反射型液晶装置パネル表面にマイクロレンズアレーを設け、異なる入射光を異なる画素領域に照射させる配置をとることにより、3 板のみならず、単板構成でも可能であることは言うまでもない。液晶素子の液晶層に電圧が印加され、各画素で正反射した光は、379 に示すしばり部を透過しスクリーン上に投射される。

【0110】一方、電圧が印加されずに、液晶層が散乱体となっている時、反射型液晶素子へ入射した光は、等方的に散乱し、379 に示す絞りの開口を見込む角度の中の散乱光以外は、投射レンズには入らない。これにより黒を表示する。以上の光学系からわかるように、偏光板が不要で、しかも画素電極の全面が信号光が高反射率で投射レンズにはいるため、従来よりも 2-3 倍明るい表示が実現できた。上述の実施形態でも述べたように、対向基板表面、界面には、反射防止対策が施されており、ノイズ光成分も極めて少なく、高コントラスト表示が実現できた。又、パネルサイズが小さくできるため、すべての光学素子（レンズ、ミラー等）が小型化され、低コスト、軽量化が達成された。

【0111】又、光源の色ムラ、輝度ムラ、変動は、光源と光学系との間にインテグレタ（はえの目レンズ型ロッド型）を挿入することにより、スクリーン上での色ムラ、輝度ムラは、解決できた。

【0112】上記液晶パネル以外の周辺電気回路について、図 21 を用いて説明する。図において、385 は電源で、主にランプ用電源とパネルや信号処理回路駆動用システム電源に分離される。386 はプラグ、387 はランプ温度検出器で、ランプの温度の異常があれば、制御ボード 388 によりランプを停止させる等の制御を行う。これは、ランプに限らず、389 のフィルタ安全スイッチでも同様に制御される。たとえば、高温ランプハウスのボックスを開けようとした場合、ボックスがあかなくなるような安全上の対策が施されている。390 はスピーカー、391 は音声ボードで、要求に応じて 3D サウンド、サラウンドサウンド等のプロセッサも内蔵できる。392 は拡張ボード 1 で、ビデオ信号用 S 端子、ビデオ信号用コンポジット映像、音声等の外部装置 396 からの入力端子及びどの信号を選択するかを選択スイッチ 395、チューナ 394 からなり、デコーダ 393 を介して拡張ボード 2 へ信号が送られる。一方、拡張ボード 2 は、おもに、別系列からのビデオやコンピュータの Dsub 15 ピン端子を有し、デコーダ 393 からのビデオ信号と切り換えるスイッチ 450 を介して、A/D コンバータ 451 でデジタル信号に変換される。

【0113】また、453 は主にビデオ RAM 等のメモリと CPU とからなるメインボードである。A/D コンバータ 451 で A/D 変換した NTSC 信号は、一端メモリに蓄積され、高画素数へうまく割りあてるために、液晶素子数にマッチしていない空き素子の不足の信号を補間して作成したり、液晶表示素子に適した  $\gamma$  変換エッジ階調、ブライト調整バイアス調整等の信号処理を行う。NTSC 信号でなく、コンピュータ信号も、たとえば VGA の信号がくれば、高解像度の XGA パネルの場合、その解像度変換処理も行う。一画像データだけでなく、複数の画像データの NTSC 信号にコンピュータ信号を合成させる等の処理もこのメインボード 453 で行

う。メインボード 4 5 3 の出力はシリアル・パラレル変換され、ノイズの影響を受けにくい形態でヘッドボード 4 5 4 に充られる。このヘッドボード 4 5 4 で、再度パラレル／シリアル変換後、D/A 変換し、パネルのビデオ線数に応じて分割され、ドライブアンプを介して、B、G、R 色の液晶パネル 4 5 5、4 5 6、4 5 7 へ信号を書き込む。4 5 2 はリモコン操作パネルで、コンピュータ画面も、TV と同様の感覚で、簡単操作可能となっている。また、液晶パネル 4 5 5、4 5 6、4 5 7 の夫々は、各色の色フィルタを備えた同一の液晶装置構成であり、その液晶パネルの特に反射電極と隣接する反射電極間の非導電性膜の形状について説明した液晶パネルは、第 1 ～ 第 2 実施形態で説明したものを適用する。各液晶装置は以上の説明のように、本実施形態の表示結果は、きわめてきれいな画像表示が可能である。

【0 1 1 4】(第 4 の実施形態) 図 2 2 に本発明の液晶表示装置を用いた前面及び背面投写型液晶表示装置の光学系の構成図を示す。本図はその上面図を表す図 2 2

(a)、正面図を表す図 1 6 (b)、側面図を表す図 2 2 (c) から成っている。同図において、1 3 0 1 はスクリーンに投射する投影レンズ、1 3 0 2 はマイクロレンズ付液晶パネル、1 3 0 3 は偏光ビームスプリッター (PBS)、1 3 4 0 は R (赤色光) 反射ダイクロイックミラー、1 3 4 1 は B/G (青色 & 緑色光) 反射ダイクロイックミラー、1 3 4 2 は B (青色光) 反射ダイクロイックミラー、1 3 4 3 は全色光を反射する高反射ミラー、1 3 5 0 はフレネルレンズ、1 3 5 1 は凸レンズ、1 3 0 6 はロッド型インテグレーター、1 3 0 7 は楕円リフレクター、1 3 0 8 はメタルハライド、UHP 等のアークランプである。

【0 1 1 5】ここで、R (赤色光) 反射ダイクロイックミラー 1 3 4 0、B/G (青色 & 緑色光) 反射ダイクロイックミラー 1 3 4 1、B (青色光) 反射ダイクロイックミラー 1 3 4 2 はそれぞれ図 2 3 に示したような分光反射特性を有している。そしてこれらのダイクロイックミラーは高反射ミラー 1 3 4 3 とともに、図 2 4 の斜視図に示したように 3 次元的に配置されており、後述するように白色照明光を RGB に色分解するとともに、液晶パネル 1 3 0 2 に対して各原色光が、3 次元的に異なる方向から該液晶パネル 1 3 0 2 を照明するようにしている。

【0 1 1 6】ここで、光束の進行過程に従って説明すると、まず光源のランプ 1 3 0 8 からの出射光束は白色光であり、楕円リフレクター 1 3 0 7 によりその前方のインテグレータ 1 3 0 6 の入り口に集光され、このインテグレータ 1 3 0 6 内を反射を繰り返しながら進行するにつれて光束の空間的強度分布が均一化される。そしてインテグレータ 1 3 0 6 を出射した光束は凸レンズ 1 3 5 1 とフレネルレンズ 1 3 5 0 とにより、x 軸一方向 (図 2 2 (b) の正面図基準) に平行光束化され、まず

B 反射ダイクロイックミラー 1 3 4 2 に至る。この B 反射ダイクロイックミラー 1 3 4 2 では B 光 (青色光) のみが反射され、z 軸一方向つまり下側 (図 2 2

(b) の正面図基準) に z 軸に対して所定の角度で R 反射ダイクロイックミラー 1 3 4 0 に向かう。

【0 1 1 7】一方、B 光以外の色光 (R/G 光) はこの B 反射ダイクロイックミラー 1 3 4 2 を通過し、高反射ミラー 1 3 4 3 により直角に z 軸一方向 (下側) に反射され、やはり R 反射ダイクロイックミラー 1 3 4 0 に向かう。ここで、B 反射ダイクロイックミラー 1 3 4 2 と高反射ミラー 1 3 4 3 は共に図 2 2 (a) の正面図を基にして言えば、インテグレータ 1 3 0 6 からの光束

(x 軸一方向) を z 軸一方向 (下側) に反射するように配置しており、高反射ミラー 1 3 4 3 は y 軸方向を回転軸に x-y 平面に対して丁度 4 5° の傾きとなっている。それに対して B 反射ダイクロイックミラー 1 3 4 2 はやはり y 軸方向を回転軸に x-y 平面に対して、この 4 5° よりも浅い角度に設定されている。

【0 1 1 8】従って、高反射ミラー 1 3 4 3 で反射された R/G 光は z 軸一方向に直角に反射されるのに対して、B 反射ダイクロイックミラー 1 3 4 2 で反射された B 光は z 軸に対して所定の角度 (x-z 面内チルト) で下方向に向かう。ここで、B 光と R/G 光の液晶パネル 1 3 0 2 上の照明範囲を一致させるため、各色光の主光線は液晶パネル 1 3 0 2 上で交差するように、高反射ミラー 1 3 4 3 と B 反射ダイクロイックミラー 1 3 4 2 のシフト量およびチルト量が選択されている。

【0 1 1 9】次に、前述のように下方向 (z 軸一方向) に向かった R/G/B 光は R 反射ダイクロイックミラー 1 3 4 0 と B/G 反射ダイクロイックミラー 1 3 4 1 に向かうが、これらは B 反射ダイクロイックミラー 1 3 4 2 と高反射ミラー 1 3 4 3 の下側に位置し、まず、B/G 反射ダイクロイックミラー 1 3 4 1 は x 軸を回転軸に x-z 面に対して 4 5° 傾いて配置されており、R 反射ダイクロイックミラー 1 3 4 0 はやはり x 軸方向を回転軸に x-z 平面に対してこの 4 5° よりも浅い角度に設定されている。従ってこれらに入射する R/G/B 光のうち、まず B/G 光は R 反射ダイクロイックミラー 1 3 4 0 を通過して、B/G 反射ダイクロイックミラー 1 3 4 1 により直角に y 軸+方向に反射され、PBS 1 3 0 3 を通じて偏光化された後、x-z 面に水平に配置された液晶パネル 1 3 0 2 を照明する。このうち B 光は前述したように (図 2 2 (a)、図 2 2 (b) 参照)、x 軸に対して所定の角度 (x-z 面内チルト) で進行しているため、B/G 反射ダイクロイックミラー 1 3 4 1 による反射後は、y 軸に対して所定の角度 (x-y 面内チルト) を維持し、その角度を入射角 (x-y 面方向) として該液晶パネル 1 3 0 2 を照明する。

【0 1 2 0】G 光については B/G 反射ダイクロイックミラー 1 3 4 1 により直角に反射し、y 軸+方向に進



み、PBS1303を通じて偏光化された後、入射角0°つまり垂直に該液晶パネル1302を照明する。またR光については、前述のようにB/G反射ダイクロイックミラー1341の手前に配置されたR反射ダイクロイックミラー1340によりR反射ダイクロイックミラー1340にてy軸+方向に反射されるが、図22(c)(側面図)に示したようにy軸に対して所定の角度(y-z面内チルト)でy軸+方向に進み、PBS1303を通じて偏光化された後、該液晶パネル1302をこのy軸に対する角度を入射角(y-z面方向)として照明する。また、前述と同様にRGB各色光の液晶パネル1302上の照明範囲を一致させるため、各色光の主光線は液晶パネル1302上で交差するように、B/G反射ダイクロイックミラー1341とR反射ダイクロイックミラー1340のシフト量およびチルト量が選択されている。

【0121】さらに、図23(a)に示したようにB反射ダイクロイックミラー1341のカット波長は480nm、図23(b)に示したようにB/G反射ダイクロイックミラー1341のカット波長は570nm、図23(c)に示したようにR反射ダイクロイックミラー1340のカット波長は600nmであるから、不要な橙色光はB/G反射ダイクロイックミラー1341を透過して捨てられる。これにより最適な色バランスを得ることができる。

【0122】そして後述するように液晶パネル1302にて各RGB光は反射&偏光変調され、PBS1303に戻り、PBS1303のPBS面1303aにてx軸+方向に反射する光束が画像光となり、投影レンズ1301を通じて、スクリーン(不図示)に拡大投影される。ところで、該液晶パネル1302を照明する各RGB光は入射角が異なるため、そこから反射されてくる各RGB光もその出射角を異にしているが、投影レンズ1301としてはこれらを全て取り込むに十分な大きさのレンズ径及び開口のものをを用いている。ただし、投影レンズ1301に入射する光束の傾きは、各色光がマイクロレンズを2回通過することにより平行化され、液晶パネル1302への入射光の傾きを維持している。

【0123】ところが図30に示したように従来例の透過型では、液晶パネルを出射した光束はマイクロレンズの集光作用分も加わってより大きく広がってしまうので、この光束を取り込むための投影レンズはさらに大きな開口数が求められ、高価なレンズとなっていた。しかし、本例では液晶パネル2からの光束の広がりはこのように比較的小さくなるので、より小さな開口数の投影レンズでもスクリーン上で十分に明るい投影画像を得ることができ、より安価な投影レンズを用いることが可能になる。また、図35に示す縦方向に同一色が並ぶストライプタイプの表示方式の例を本実施形態に用いることも可能であるが、後述するように、マイクロレンズを用い

た液晶パネルの場合は好ましくない。

【0124】次に、ここで用いる本発明液晶パネル1302について説明する。図25に該液晶パネル1302の拡大断面模式図(図24のy-z面に対応)を示す。図において、1321はマイクロレンズ基板、1322はマイクロレンズ、1323はシートガラス、1324は透明対向電極、1325は液晶層、1326は画素電極、1327はアクティブマトリックス駆動回路部、1328はシリコン半導体基板である。また、1252は周辺シール部である。ここで、本実施形態では、R、G、B画素が、1パネルに集約されており、1画素のサイズは小さくなる。従って、開口率を上げることの重要性が大きく、集光された光の範囲には、反射電極が存在していなければならない、第1〜第2の実施形態で説明した構成が重要となる。マイクロレンズ1322は、いわゆるイオン交換法によりガラス基板(アルカリ系ガラス)1321の表面上に形成されており、画素電極1326のピッチの倍のピッチで2次元のアレイ構造を成している。

【0125】液晶層1325は反射型に適応したいわゆるDAP、HAN等のECBモードのネマチック液晶を採用しており、不図示の配向層により所定の配向が維持されている。画素電極1326の電位の精度はさらに重要になってくるため、本発明の回路、構成は有効であり、単板で画素数も多く、従ってビデオ線の本数も多いため、第1乃至第2の実施形態で説明した金属配線の配線角度を30〜60度とすることで、配線の自由度と配線密度の高度化が図れ、非常に有効となる。画素電極1326はA1から成り、反射鏡を兼ねており、表面性を良くして反射率を向上させるため、パターンニング後の最終工程でいわゆるCMP処理を施している(詳しくは後述する)。

【0126】アクティブマトリックス駆動回路部1327はいわゆるシリコン半導体基板1328上に設けられた半導体回路であり、上記画素電極1326をアクティブマトリックス駆動するものであり、該回路マトリックスの周辺部には、不図示のゲート線ドライバー(垂直レジスター等)や信号線ドライバー(水平レジスター等)が設けられている(詳しくは後述する)。これらの周辺ドライバーおよびアクティブマトリックス駆動回路はRGBの各原色映像信号を所定の各RGB画素に書き込むように構成されており、該各画素電極1326はカラーフィルターは有さないものの、前記アクティブマトリックス駆動回路にて書き込まれる原色映像信号により各RGB画素として区別され、後述する所定のRGB画素配列を形成している。

【0127】ここで、液晶パネル1302に対して照明するG光について見てみると、前述したようにG光はPBS1303により偏光化されたのち該液晶パネル1302に対して垂直に入射する。この光線のうち1つのマ



イクロレンズ 1 3 2 2 a に入射する光線例を図中の矢印  $G(i n / o u t)$  に示す。ここに図示されたように該 G 光線はマイクロレンズ 1 3 2 2 により集光され、G 画素電極 1 3 2 6 g 上を照明する。そして A 1 より成る該画素電極 1 3 2 6 g により反射され、再び同じマイクロレンズ 1 3 2 2 a を通じてパネル外に出射していく。このように液晶層 1 3 2 5 を往復通過する際、該 G 光線（偏光）は画素電極 1 3 2 6 g に印加される信号電圧により対向電極 1 3 2 4 との間に形成される電界による液晶の動作により変調を受けて、該液晶パネルを出射し、P B S 1 3 0 3 に戻る。

【0 1 2 8】ここで、その変調度合いにより P B S 面 1 3 0 3 a にて反射され、投影レンズ 1 3 0 1 に向かう光量に変化し、各画素のいわゆる濃淡階調表示がなされることになる。一方、上述したように図 2 5 中断面（ $y-z$  面）内の斜め方向から入射してくる R 光については、やはり P B S 1 3 0 3 により偏光されたのち、例えばマイクロレンズ 1 3 2 2 b に入射する R 光線に注目すると、図中の矢印  $R(i n)$  で示したように、該マイクロレンズ 1 3 2 2 b により集光され、その真下よりも左側にシフトした位置にある R 画素電極 1 3 2 6 r 上を照明する。そして該画素電極 1 3 2 6 r により反射され、図示したように今度は隣（ $-z$  方向）のマイクロレンズ 1 3 2 2 a を通じて、パネル外に出射していく（ $R(o u t)$ ）。

【0 1 2 9】この際、該 R 光線（偏光）はやはり画素電極 1 3 2 6 r に印加される信号電圧により対向電極 1 3 2 4 との間に形成される画像信号に応じた電界による液晶の動作により変調を受けて、該液晶パネルを出射し、P B S 1 3 0 3 に戻る。そして、その後のプロセスは前述の G 光の場合と全く同じように、画像光を投影レンズ 1 3 0 1 から投影される。ところで、図 1 9 の描写では画素電極 1 3 2 6 g 上と画素電極 1 3 2 6 r 上の各 G 光と R 光の色光が 1 部重なり干渉しているようになっているが、これは模式的に液晶層の厚さを拡大誇張して描いているためであり、実際には該液晶層の厚さは  $1 \sim 5 \mu$  であり、シートガラス 1 3 2 3 の  $50 \sim 100 \mu$  に比べて非常に薄く、画素サイズに関係なくこのような干渉は起こらない。

【0 1 3 0】次に、図 2 6 に本例での色分解・色合成の原理説明図を示す。ここで、図 2 6 (a) は液晶パネル 1 3 0 2 の上面模式図、図 2 6 (b)、図 2 6 (c) はそれぞれ該液晶パネル上面模式図に対する A-A'（ $x$  方向）断面模式図、B-B'（ $z$  方向）断面模式図である。ここで、マイクロレンズ 1 3 2 2 は、図 2 6 (a) の一点鎖線に示すように、G 光を中心として両隣接する 2 色画素の半分ずつに対して 1 個が対応している。このうち図 2 6 (c) は  $y-z$  断面を表す上記図 2 5 に対応するものであり、各マイクロレンズ 1 3 2 2 に入射する G 光と R 光の入出射の様子を表している。これから判る

ように各 G 画素電極は各マイクロレンズの中心の真下に配置され、各 R 画素電極は各マイクロレンズ間境界の真下に配置されている。従って R 光の入射角はその  $\tan \theta$  が画素ピッチ（B & R 画素）とマイクロレンズ・画素電極間距離の比に等しくなるように設定するのが好ましい。

【0 1 3 1】一方、図 2 6 (b) は該液晶パネル 1 3 0 2 の  $x-y$  断面に対応するものである。この  $x-y$  断面については、B 画素電極と G 画素電極とが図 2 6 (c) と同様に交互に配置されており、やはり各 G 画素電極は各マイクロレンズ中心の真下に配置され、各 B 画素電極は各マイクロレンズ間境界の真下に配置されている。

【0 1 3 2】ところで該液晶パネルを照明する B 光については、前述したように P B S 1 3 0 3 による偏光化後、図 2 2 中断面（ $x-y$  面）の斜め方向から入射してくるため、R 光の場合と全く同様に、各マイクロレンズ 1 3 2 2 から入射した B 光線は、図示したように B 画素電極 1 3 2 6 b により反射され、入射したマイクロレンズ 1 3 2 2 に対して、 $x$  方向に隣り合うマイクロレンズ 1 3 2 2 から出射する。B 画素電極 1 3 2 6 b 上の液晶による変調や液晶パネルからの B 出射光の投影については、前述の G 光および R 光と同様である。

【0 1 3 3】また、各 B 画素電極 1 3 2 6 b は各マイクロレンズ間境界の真下に配置されており、B 光の液晶パネルに対する入射角についても、R 光と同様にその  $\tan \theta$  が画素ピッチ（G & B 画素）とマイクロレンズ・画素電極間距離の比に等しくなるように設定するのが好ましい。ところで、本例液晶パネルでは以上述べたように各 R G B 画素の並びが  $z$  方向に対しては R G R G R G … の並びに、 $x$  方向に対しては B G B G B G … の並びとなっているが、図 2 6 (a) はその平面的な並びを示している。このように各画素サイズは縦横共にマイクロレンズの約半分になっており、画素ピッチは  $x-z$  両方向ともにマイクロレンズのそれぞれの半分になっている。また、G 画素は平面的にもマイクロレンズ中心の真下に位置し、R 画素は  $z$  方向の G 画素間かつマイクロレンズ境界に位置し、B 画素は  $x$  方向の G 画素間かつマイクロレンズ境界に位置している。また、1 つのマイクロレンズ単位の形状は矩形（画素の 2 倍サイズ）となっている。

【0 1 3 4】図 2 7 に本液晶パネルの部分拡大上面図を示す。ここで図中の破線格子 1 3 2 9 は 1 つの絵素を構成する R G B 画素のまとまりを示している。つまり、図 2 5 のアクティブマトリックス駆動回路部 1 3 2 7 により各 R G B 画素が駆動される際、破線格子 1 3 2 9 で示される R G B 画素ユニットは同一画素位置に対応した R G B 映像信号にて駆動される。

【0 1 3 5】ここで R 画素電極 1 3 2 6 r、G 画素電極 1 3 2 6 g、B 画素電極 1 3 2 6 b から成る 1 つの絵素に注目してみると、まず R 画素電極 1 3 2 6 r は矢印  $r$  1 で示されるようにマイクロレンズ 1 3 2 2 b から前述

したように斜めに入射する R 光で照明され、その R 反射光は矢印 r-2 で示すようにマイクロレンズ 1 3 2 2 a を通じて出射する。B 画素電極 1 3 2 6 b は矢印 b 1 で示されるようにマイクロレンズ 1 3 2 2 c から前述したように斜めに入射する B 光で照明され、その B 反射光は矢印 b 2 で示すようにやはりマイクロレンズ 1 3 2 2 a を通じて出射する。また G 画素電極 1 3 2 6 g は正面後面矢印 g 1 2 で示されるように、マイクロレンズ 1 3 2 2 a から前述したように垂直（紙面奥へ向かう方向）に入射する G 光で照明され、その G 反射光は同じマイクロレンズ 1 3 2 2 a を通じて垂直に（紙面手前へ出てくる方向）出射する。

【0 1 3 6】このように、本液晶パネルにおいては、1 つの絵素を構成する R G B 画素ユニットについて、各原色照明光の入射照明位置は異なるものの、それらの出射については、同じマイクロレンズ（この場合は 1 3 2 2 a）から行われる。そしてこのことはその他の全ての絵素（R G B 画素ユニット）についても成り立っている。

【0 1 3 7】従って、図 2 8 に示すように本液晶パネルからの全出射光を P B S 1 3 0 3 および投影レンズ 1 3 0 1 を通じて、スクリーン 1 3 0 9 に投写するに際して、液晶パネル 1 3 0 2 内のマイクロレンズ 1 3 2 2 の位置がスクリーン 1 3 0 9 上に結像投影されるように光学調整すると、その投影画像は図 3 4 に示すようなマイクロレンズの格子内に各絵素を構成する該 R G B 画素ユニットからの出射光が混色した状態つまり同画素混色した状態の絵素を構成単位としたものとなる。そして、前述した図 3 5 による従来例のようないわゆる R G B モザイクが無い、質感の高い良好なカラー画像表示が可能となる。

【0 1 3 8】つぎに、図 2 5 に示すように、アクティブマトリックス駆動回路部 1 3 2 7 は各画素電極 1 3 2 6 の下に存在するため、図 2 5 の回路断面図上では絵素を構成する各 R G B 画素は単純に横並びに描かれているが、各画素 F E T のドレインは、図 2 7 に示したような 2 次元配列の各 R G B 画素電極 1 3 2 6 に接続している。

【0 1 3 9】ところで、本投写型液晶表示装置の駆動回路系についてその全体ブロック図を図 2 9 に示す。ここで、1 3 1 0 はパネルドライバーであり、R G B 映像信号を極性反転し、かつ所定の電圧増幅をした液晶駆動信号を形成するとともに、対向電極 1 3 2 4 の駆動信号、各種タイミング信号等を形成している。1 3 1 2 はインターフェースであり、各種映像及び制御伝送信号を標準映像信号等にデコードしている。

【0 1 4 0】また、1 3 1 1 はデコーダーであり、インターフェース 1 3 1 2 からの標準映像信号を R G B 原色映像信号及び同期信号に、即ち液晶パネル 1 3 0 2 に対応した画像信号にデコード・変換している。1 3 1 4 はバラストである点灯回路であり、楕円リフレクター 1 3

0 7 内のアークランプ 1 3 0 8 を駆動点灯する。1 3 1 5 は電源回路であり、各回路ブロックに対して電源を供給している。1 3 1 3 は不図示の操作部を内在したコントローラーであり、上記各回路ブロックを総合的にコントロールするものである。このように本投写型液晶表示装置は、その駆動回路系は単板式プロジェクターとしては、ごく一般的なものであり、特に駆動回路系に負担を掛けることなく、前述したような R G B モザイクの無い良好な質感のカラー画像を表示することができるものである。

【0 1 4 1】ところで図 3 1 に本実施形態における液晶パネルの別形態の部分拡大上面図を示す。ここではマイクロレンズ 1 3 2 2 の中心真下位置に B 画素電極 1 3 2 6 b を配列し、それに対し左右方向に G 画素 1 3 2 6 g が交互に並ぶように、上下方向に R 画素 1 3 2 6 r が交互に並ぶように配列している。このように配列しても、絵素を構成する R G B 画素ユニットからの反射光が 1 つの共通マイクロレンズから出射するように、B 光を垂直入射、R / G 光を斜め入射（同角度異方向）とすることにより、前例と全く同様な効果を得ることができる。また、さらにマイクロレンズ 1 3 2 2 の中心真下位置に R 画素を配列しその他の色画素を左右または上下方向に R 画素に対して G、B 画素を交互に並ぶようにしても良い。

【0 1 4 2】（第 5 の実施形態）図 3 2 に本発明に係わる液晶パネルの第 5 の実施形態を示す。同図は本液晶パネル 1 3 2 0 の部分拡大断面図である。前記第 4 の実施形態との相違点を述べると、まず対向ガラス基板としてシートガラス 1 3 2 3 を用いており、マイクロレンズ 1 2 2 0 については、シートガラス 1 3 2 3 上に熱可塑性樹脂を用いたいわゆるリフロー法により形成している。さらに、非画素部にスペーサー柱 1 2 5 1 を感光性樹脂のフォトリソグラフィにて形成している。該液晶パネル 1 3 2 0 の部分上面図を図 3 3 (a) に示す。この図から判るようにスペーサー柱 1 2 5 1 は所定の画素のピッチでマイクロレンズ 1 2 2 0 の角隅部の非画素領域に形成されている。このスペーサー柱 1 2 5 1 を通る A-A' 断面図を図 3 3 (b) に示す。このスペーサー柱 1 2 5 1 の形成密度については 1 0 ~ 1 0 0 画素ピッチでマトリックス状に設けるのが好ましく、シートガラス 1 3 2 3 の平面性と液晶の注入性というスペーサー柱数に対して相反するパラメーターを共に満足するように設定する必要がある。

【0 1 4 3】また本実施形態では金属膜パターンによる遮光層 1 2 2 1 を設けており、各マイクロレンズ境界部分からの漏れ光の進入を防止している。これにより、このような漏れ光による投影画像の彩度低下（各原色画像光の混色による）やコントラスト低下が防止される。従って本液晶パネル 1 3 2 0 を用いて、本実施形態の如き液晶パネルを備えた投写型表示装置を構成することによ

り、さらにメリハリのある良好な画質が得られるようになる。

【0144】上記第3乃至第5の実施形態で液晶パネルや投写型表示装置について説明したが、第1乃至第2の実施形態で示した、層間絶縁膜に用いられる無機SOG膜の耐クラック性を向上させつつ、厚く形成する事が可能となる為（図17、図18）、層間絶縁膜が非常に平坦となり、信頼性の高い多層金属配線の形成や、反射率の高い反射電極の形成が可能となる。さらに集積度の高い半導体装置や高画素密度の表示装置の形成が可能となり、性能や歩留りを向上させる事が可能となる。こうして、かかる液晶表示素子を用いて、前面投射型液晶プロジェクターや、背面投写型液晶プロジェクターを形成することにより、高精細、高品質の画像を得ることができ

る。

【0145】  
【発明の効果】以上説明したように、本発明によれば、金属配線の一部に角度を設け、金属配線長が20 $\mu$ mまでのフローティング電極を設ける事で、画素駆動用配線と信号線の間に生じる寄生容量を1fF以下に抑える事ができる。

【0146】又、同時に従来の直線的な配線よりも、フィードスルー電圧を約1/2まで低下させる事が可能になる為、応答速度の優れた表示装置の形成が可能となる。

【0147】さらに、金属配線の一部に5~90度の角度を持たせ、金属配線長が20 $\mu$ mまでのフローティング電極を設け、配線間隔を0.5~4 $\mu$ mに保ち、その上に絶縁膜を形成し、さらに無機SOG膜を用いた層間絶縁膜を形成する事により、エッチバックプロセスを必要としない信頼性の高い金属配線と平坦性の高い層間絶縁膜の形成が可能となる。

【0148】さらに、本発明によれば、金属配線の一部に5~90度の角度を持たせ、金属配線長が20 $\mu$ mまでのフローティング電極を設け、配線間隔を0.5~4 $\mu$ mに保ち、その上に絶縁膜を形成し、さらに無機SOG膜を形成し、172nm、185nm、254nmの波長を持つUV光やO<sub>2</sub> プラズマを照射する事で、前記無機SOG膜の表面改質を行い、濡れ性を向上させ、再度無機SOG膜を形成させる。この時、金属配線間の無機SOG膜の液溜りは1 $\mu$ m以上になり、その内部応力も大きくなるが、その応力は金属配線の持つ角度により分散され耐クラック性が向上すると同時に層間絶縁膜の平坦性も著しく向上出来、信頼性の高い多層金属配線や反射率の高い反射電極の形成が可能になる。

【0149】さらに本発明によれば、配線の一部に5~90度の角度を持たせ、金属配線長が20 $\mu$ mまでのフローティング電極を設け、配線間隔を0.5~4 $\mu$ mに保ち、金属配線を繰り返しパターンで形成し、その上に絶縁膜を形成し、さらに無機SOG膜を形成し、172

nm、185nm、254nmの波長を持つUV光やO<sub>2</sub> プラズマを照射する事で、前記無機SOG膜の表面改質を行い、濡れ性を向上させ、再度無機SOG膜を形成させる。この時、金属配線間の無機SOG膜の液溜りは1 $\mu$ m以上になり、その内部応力も大きくなるが、その応力は金属配線の持つ角度により分散され、耐クラック性が向上する為非常に長い金属が形成出来、信頼性の高い多層金属配線や反射率の高い反射電極の形成が可能になり、半導体装置や表示装置の性能や歩留りを向上させる事が出来る。

【0150】さらに、本発明に関わる投写型液晶表示装置においては、マイクロレンズ付反射型液晶パネルとそれぞれ異なる方向から各原色光を照明する光学系等を用いて、1つの絵素を構成する1組のRGB画素からの液晶による変調後の反射光が同一のマイクロレンズを通じて出射するようにしたことにより、RGBモザイクの無い質感の高い良好なカラー画像投写表示が可能となる。

【0151】また、各画素からの光束はマイクロレンズを2回通過してほぼ並行化されるので、開口数の小さい安価な投影レンズを用いてもスクリーン上で明るい投影画像を得ることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の間実施形態に係るMOSトランジスタの平面を説明する図である。

【図2】図1のA-A'の断面で、MOSトランジスタのプロセスフローを説明する図である。

【図3】図1のB-B'の断面で、金属配線と層間絶縁膜のプロセスフローを説明する図である。

【図4】本発明の第2の実施形態に係るMOSトランジスタの平面を説明する図である。

【図5】図4のC-C'の断面で、MOSトランジスタのプロセスフローを説明する図である。

【図6】図4のD-D'の断面で、金属配線と層間絶縁膜のプロセスフローを説明する図である。

【図7】従来例によるMOSトランジスタの平面図を説明する図である。

【図8】図7のE-E'の断面で、MOSトランジスタの断面を説明する図である。

【図9】図7のF-F'の断面で、金属配線と層間絶縁膜の断面を説明する図である。

【図10】本発明に係るフローティング金属配線の配線長と寄生容量の変化を説明する図である。

【図11】本発明に係るフローティング金属配線の配線長とフィードスルー電圧の変化を説明する図である。

【図12】本発明に係る金属配線を曲げた場合の角度と、絶縁膜中に発生するクラックの本数の変化を説明する図である。

【図13】本発明に係るフローティング金属を用いた場合の配線間隔と、絶縁膜中に発生するクラックの本数の変化を説明する図である。

【図 1 4】本発明による CMP により製造される液晶素子の断面図である。

【図 1 5】本発明による液晶装置の概略的回路図である。

【図 1 6】本発明による液晶装置のブロック図である。

【図 1 7】本発明による液晶装置の入力部のディレイ回路を含む回路図である。

【図 1 8】本発明による液晶装置の液晶パネルの概念図である。

【図 1 9】本発明による液晶装置の製造上のエッチング 10 処理の良否を判断するグラフである。

【図 2 0】本発明による液晶装置を用いた液晶プロジェクターの概念図である。

【図 2 1】本発明による液晶プロジェクターの内部を示す回路ブロック図である。

【図 2 2】本発明による投写型液晶表示装置の光学系の実施形態を示す全体構成図である。

【図 2 3】本発明による投写型液晶表示装置の光学系に用いたダイクロイックミラーの分光反射特性図である。

【図 2 4】本発明による投写型液晶表示装置の光学系の 20 色分解照明部の斜視図である。

【図 2 5】本発明による液晶パネルの一実施形態の断面図である。

【図 2 6】本発明による液晶パネルの色分解・色合成の原理説明図である。

【図 2 7】本発明による一実施形態の液晶パネルの部分拡大上面図である。

【図 2 8】本発明による投写型液晶表示装置の投影光学系を示す部分構成図である。

【図 2 9】本発明による投写型液晶表示装置の駆動回路 30 系を示すブロック図である。

【図 3 0】本発明による投写型液晶表示装置のスクリーン上投影像の部分拡大図である。

【図 3 1】本発明による一実施形態の液晶パネルの部分拡大上面図である。

【図 3 2】本発明による一実施形態の液晶パネルの部分拡大上面図である。

【図 3 3】本発明による一実施形態の液晶パネルの部分拡大上面図と断面図である。

【図 3 4】液晶装置の液晶パネルの光束進行方向を示す 40 概念図である。

【図 3 5】液晶装置の液晶パネルのカラー画素構成図である。

【符号の説明】

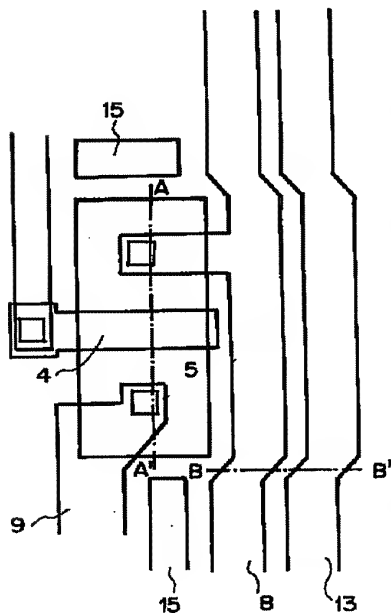
- 1 半導体基盤
- 2 ウェル領域
- 3 ソース領域
- 4 ゲート電極
- 5 ドレイン領域
- 6 LOCOS 絶縁層

- 7 BPSG
- 8 ソース電極配線
- 9 ドレイン電極配線
- 10 第 1 層間絶縁膜
- 11 SOG 膜
- 12 第 2 層間絶縁膜
- 13 電源電圧用金属配線
- 14 クラック
- 15 フローティング金属
- 301 半導体基板
- 302, 302' p 型及び n 型ウェル
- 303, 303' ソース領域
- 304 ゲート領域
- 305, 305' ドレイン領域
- 306 LOCOS 絶縁層
- 307 遮光層
- 308 PSG
- 309 プラズマ SIN
- 310 ソース電極
- 311 連結電極
- 312 反射電極 & 画素電極
- 313 反射防止膜
- 314 液晶層
- 315 共通透明電極
- 316 対向電極
- 317, 317' 高濃度不純物領域
- 319 表示領域
- 320 反射防止膜
- 321, 322 シフトレジスタ
- 323 nMOS
- 324 pMOS
- 325 保持容量
- 327 信号転送スイッチ
- 328 リセットスイッチ
- 329 リセットパルス入力端子
- 330 リセット電源端子
- 331 映像信号入力端子
- 332 昇圧レベルシフター
- 342 パルス delay 用インバータ
- 343 スイッチ
- 344 出力
- 345 容量
- 346 保護回路
- 351 シール部
- 352 電極パッド
- 353 クロックバッファ
- 371 光源
- 372 集光レンズ
- 373, 375 フレネルレンズ
- 374 色分解光学素子

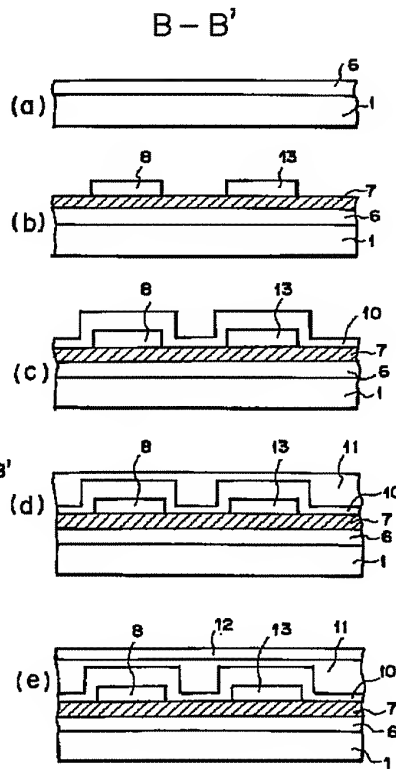
376 ミラー  
 377 視野レンズ  
 378 液晶装置  
 379 絞り部  
 380 投影レンズ  
 381 スクリーン  
 385 電源  
 386 プラグ  
 387 ランプ温度検出  
 388 制御ボード  
 389 フィルタ安全スイッチ  
 453 メインボード  
 454 液晶パネルドライバヘッドボード  
 455, 456, 457 液晶装置  
 1220 マイクロレンズ (リフロー熱ダレ式)  
 1251 スペーサー柱  
 1252 周辺シール部  
 1301 投影レンズ  
 1302 マイクロレンズ付液晶パネル  
 1303 偏光ビームスプリッター (PBS)  
 1306 ロッド型インテグレート  
 1307 楕円リフレクター  
 1308 アークランプ

1309 スクリーン  
 1310 パネルドライバー  
 1311 デコーダー  
 1312 インターフェース回路  
 1314 バラスト (アークランプ点灯回路)  
 1320 マイクロレンズ付液晶パネル  
 1321 マイクロレンズガラス基板  
 1322 マイクロレンズ (インデックス分布式)  
 1323 シートガラス  
 10 1324 対向透明電極  
 1325 液晶  
 1326 画素電極  
 1327 アクティブマトリックス駆動回路部  
 1328 シリコン半導体基板  
 1329 基本絵素単位  
 1340 R反射ダイクロイックミラー  
 1341 B/G反射ダイクロイックミラー  
 1342 B反射ダイクロイックミラー  
 1343 高反射ミラー  
 20 1350 フレネルレンズ (第2コンデンサーレンズ)  
 1351 第1コンデンサーレンズ

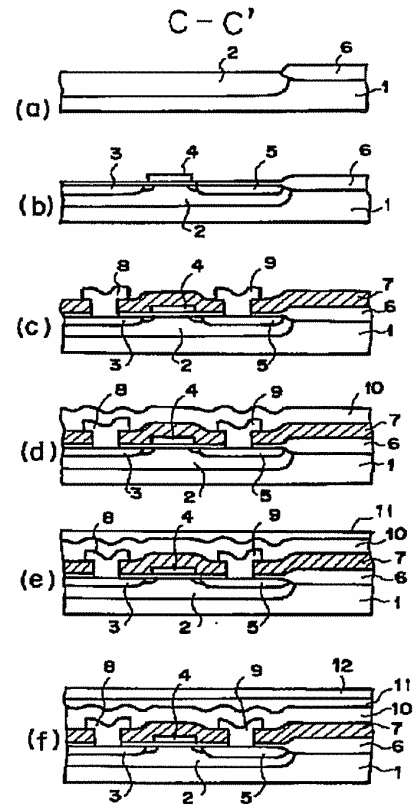
【図1】



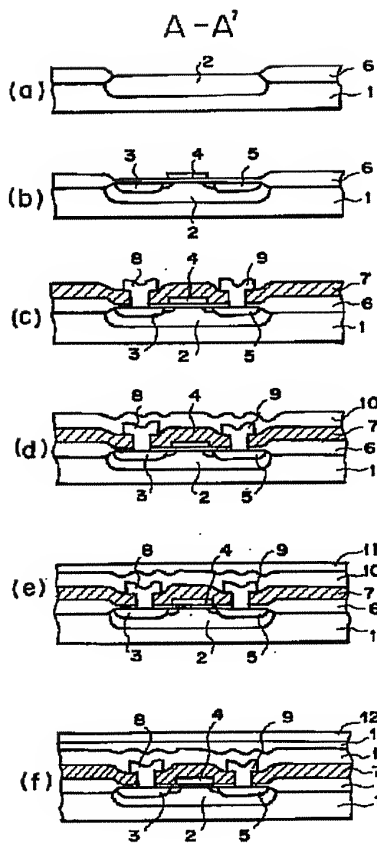
【図3】



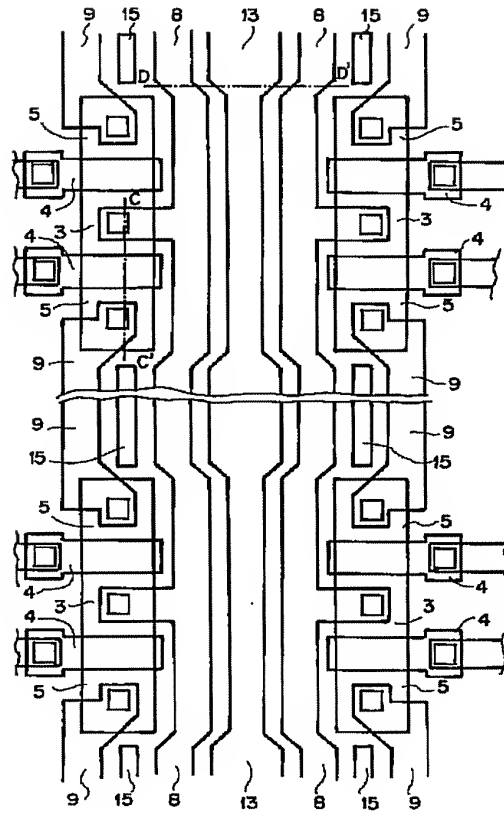
【図5】



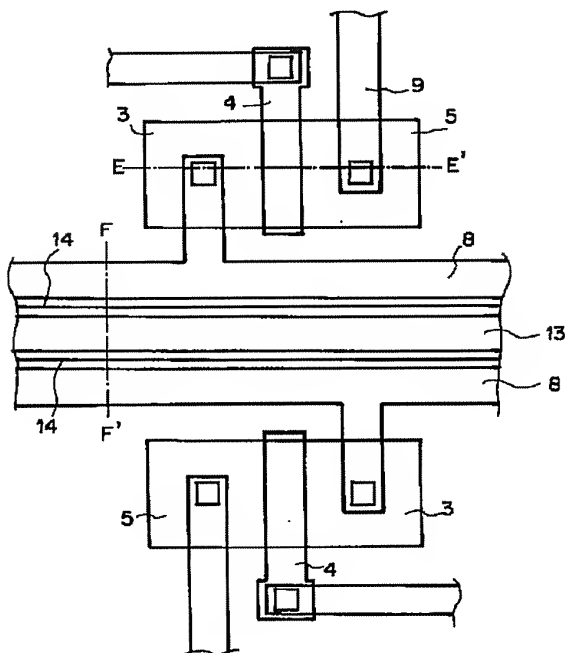
【図 2】



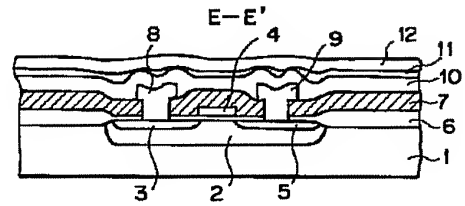
【図 4】



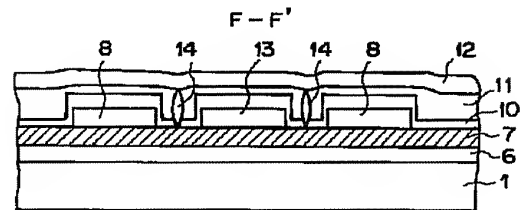
【図 7】



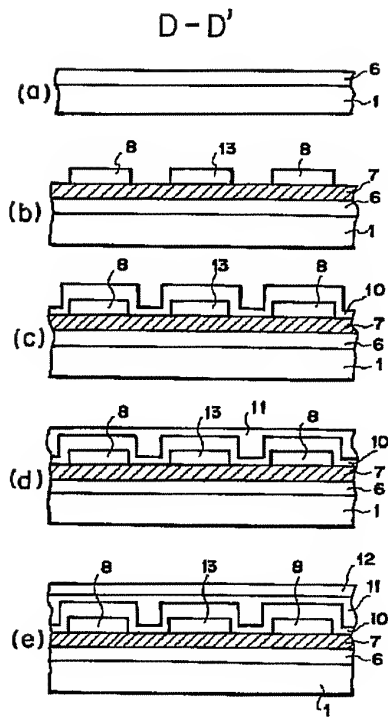
【図 8】



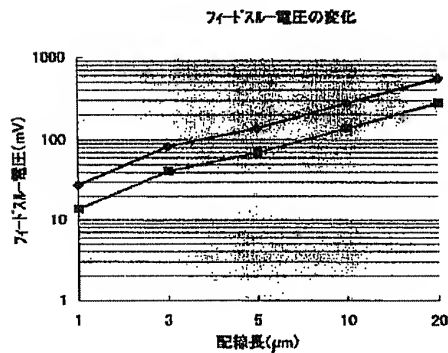
【図 9】



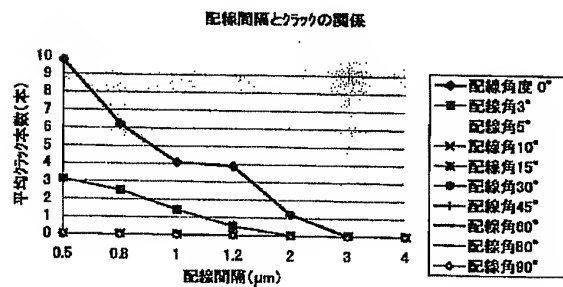
【図 6】



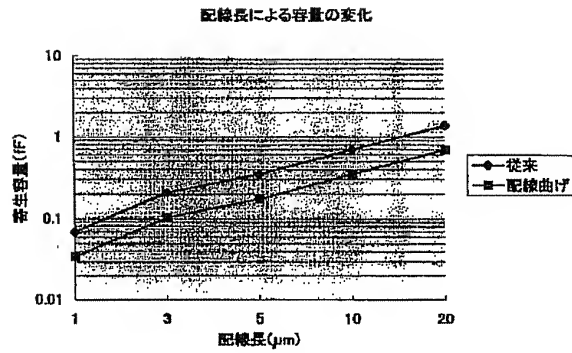
【図 11】



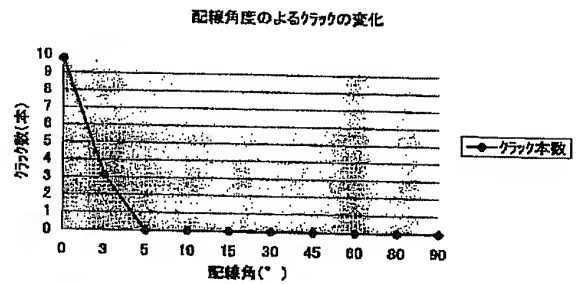
【図 13】



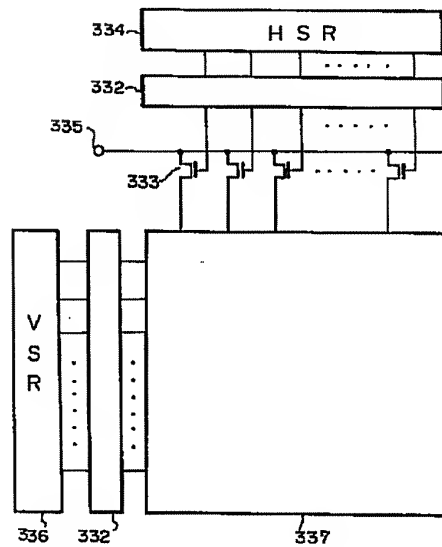
【図 10】



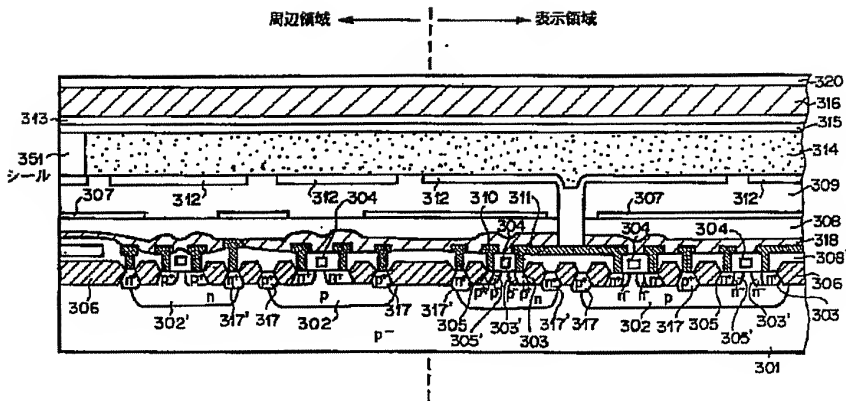
【図 12】



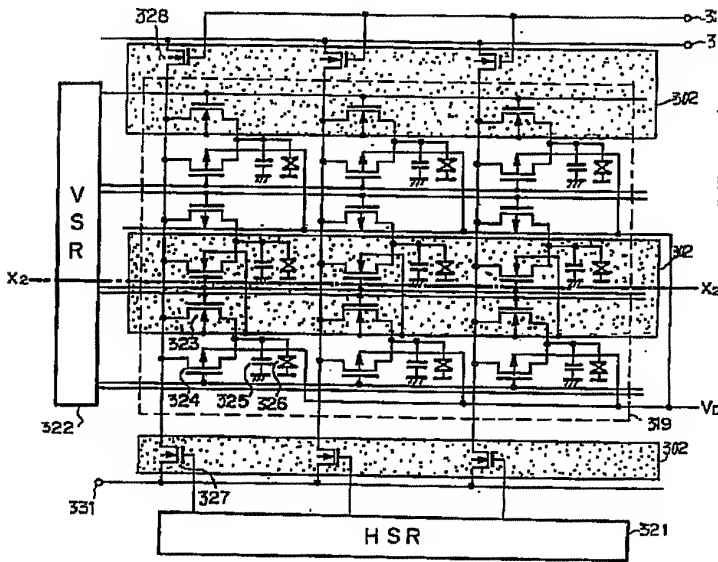
【図 16】



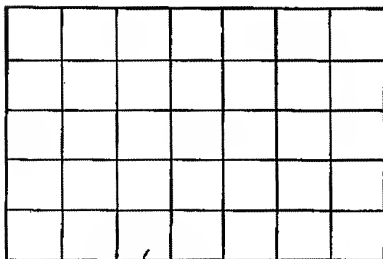
【図 14】



【図 15】

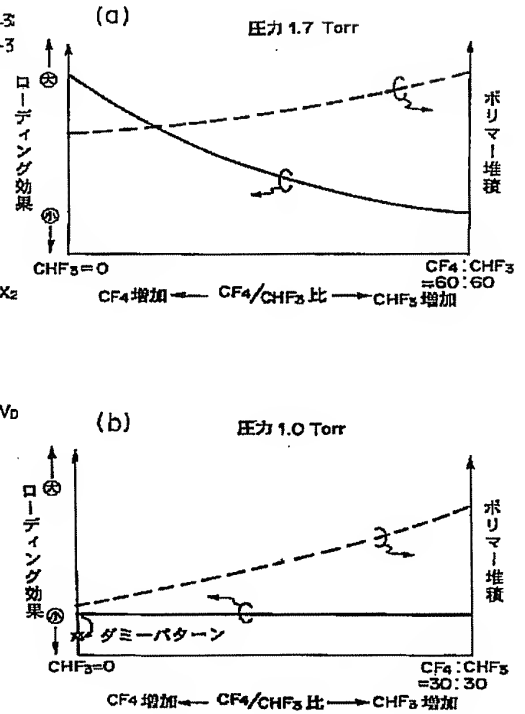


【図 30】



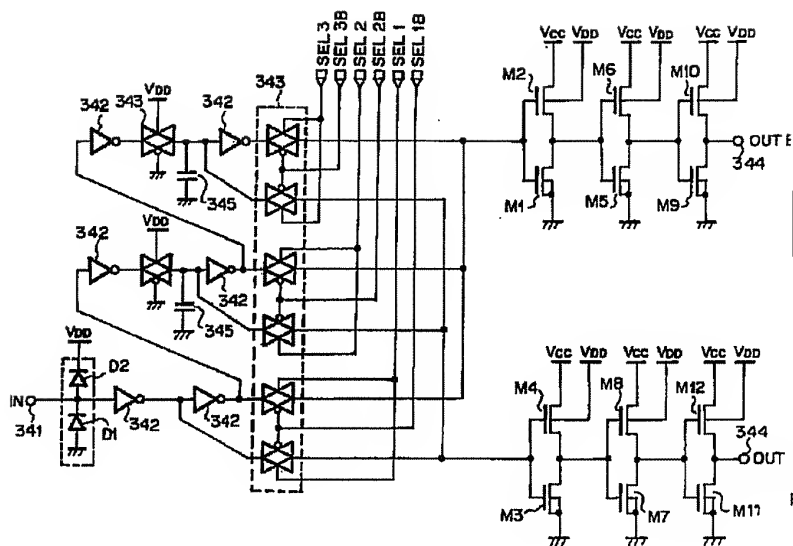
RGB混色マトリクス

【図 19】

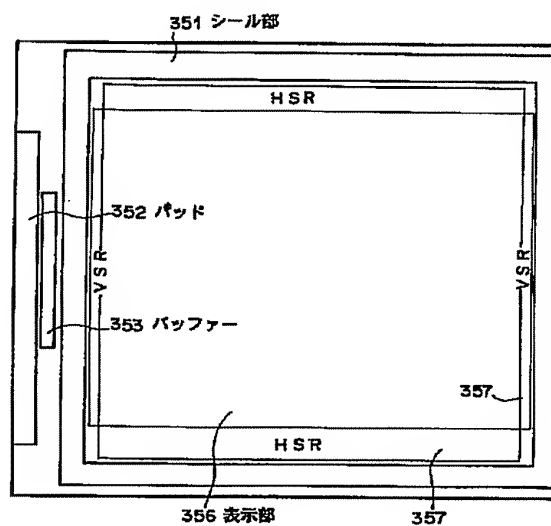




【图 17】



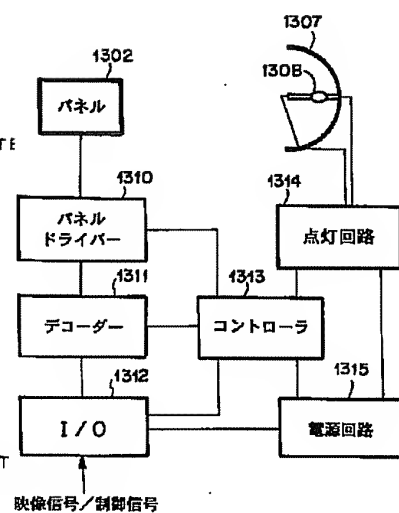
【图 18】



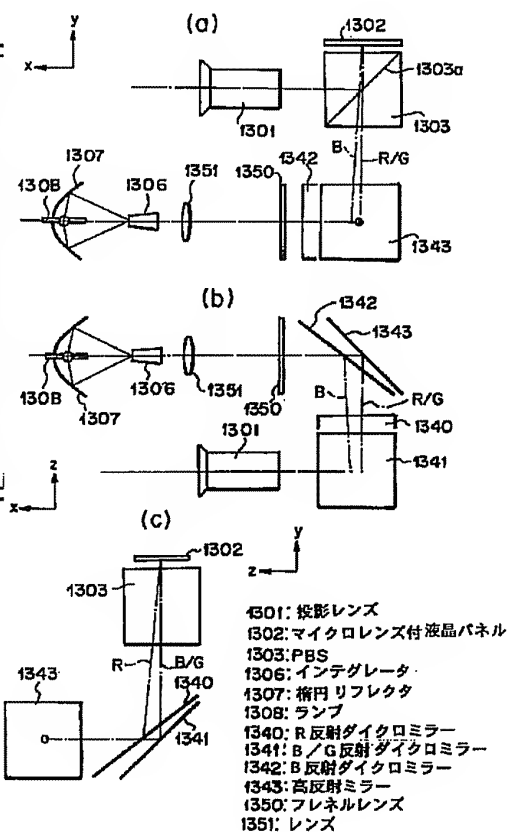
【图 3 5】

R	G	B	R	G	B	R	G	B	R	G	B
R	G	B	R	G	B	R	G	B	R	G	B
R	G	B	R	G	B	R	G	B	R	G	B
R	G	B	R	G	B	R	G	B	R	G	B
R	G	B	R	G	B	R	G	B	R	G	B

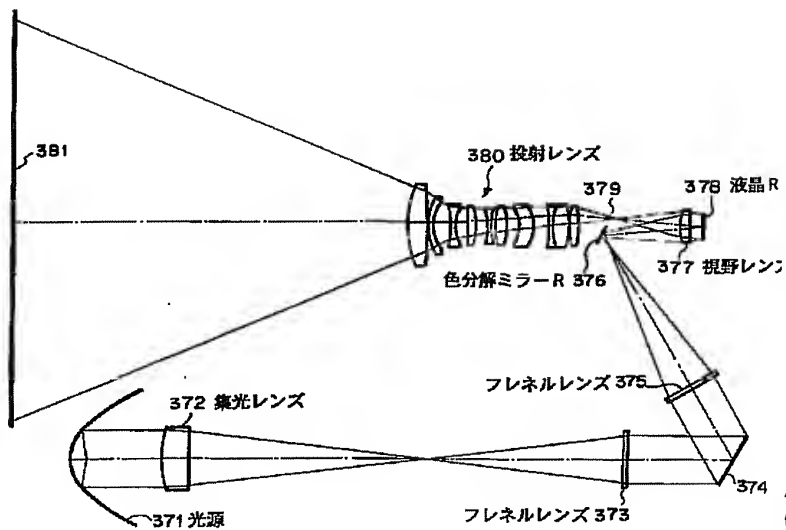
【图 29】



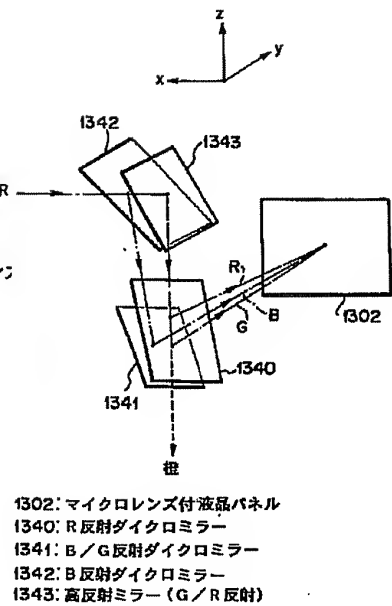
【图 22】



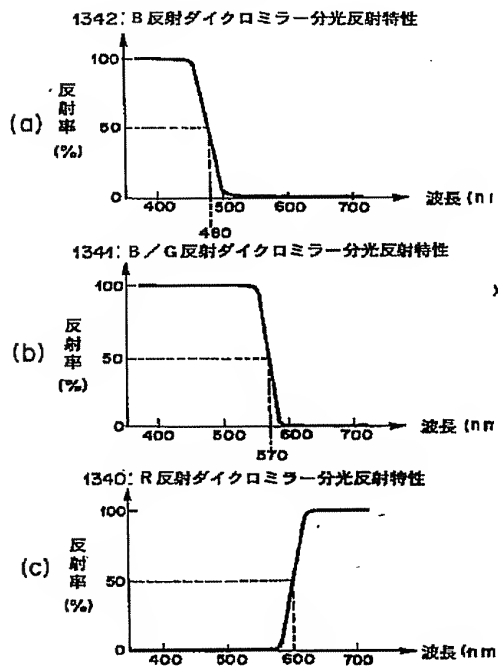
【図 20】



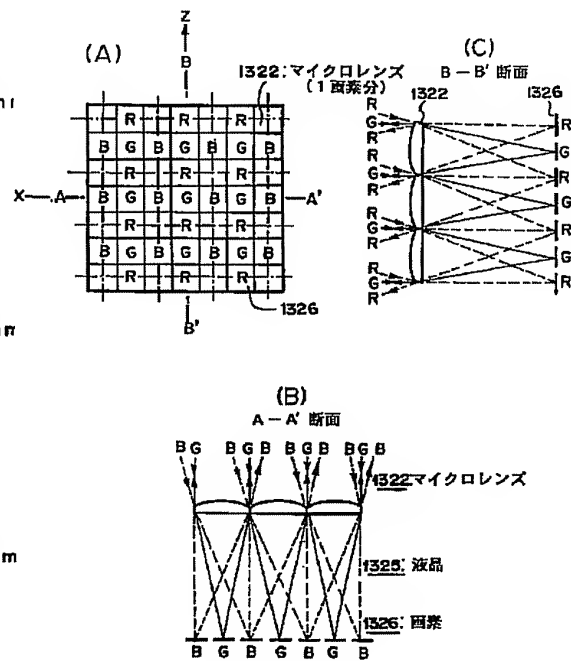
【図 2 4】



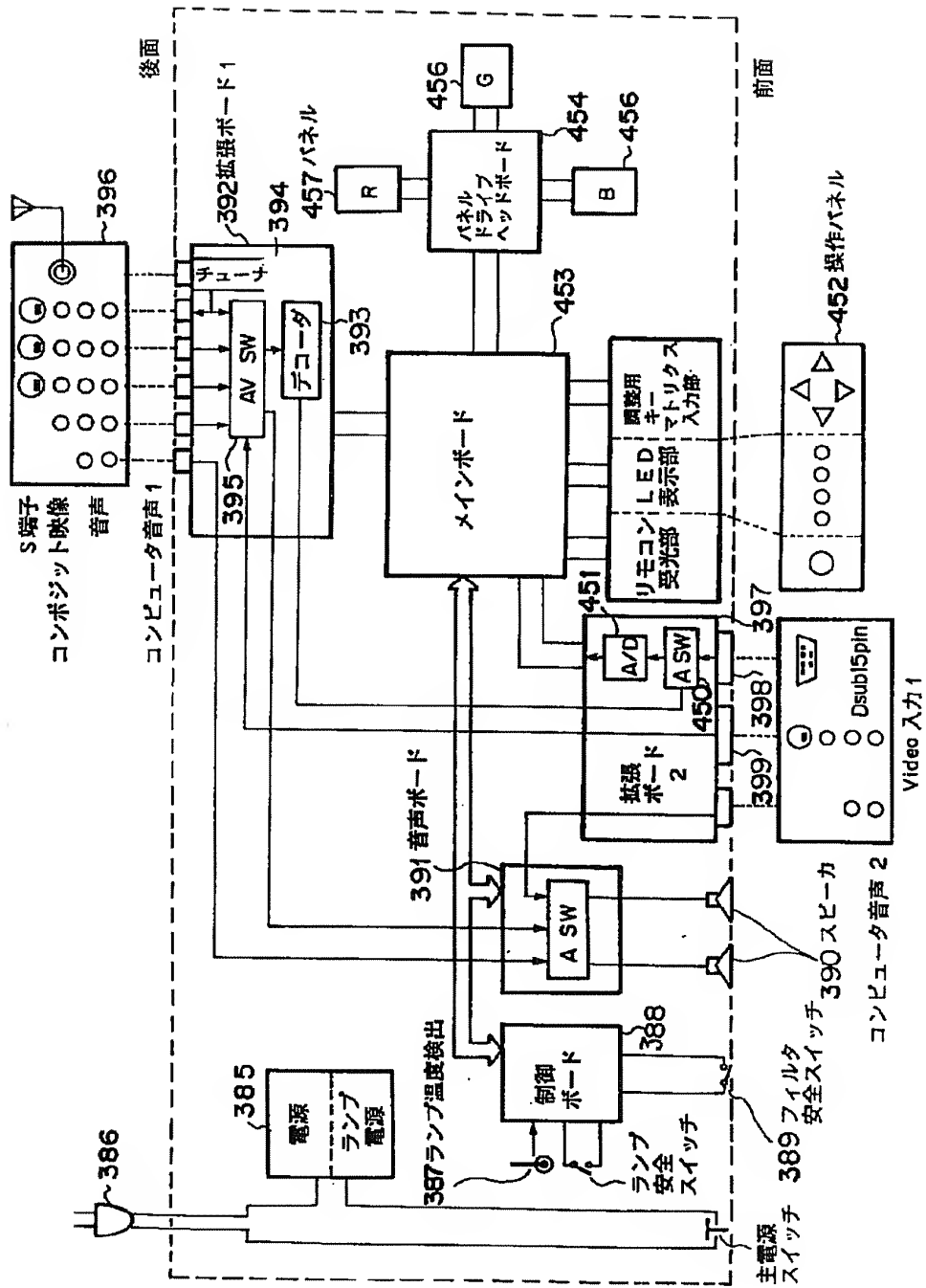
【图 2 3】



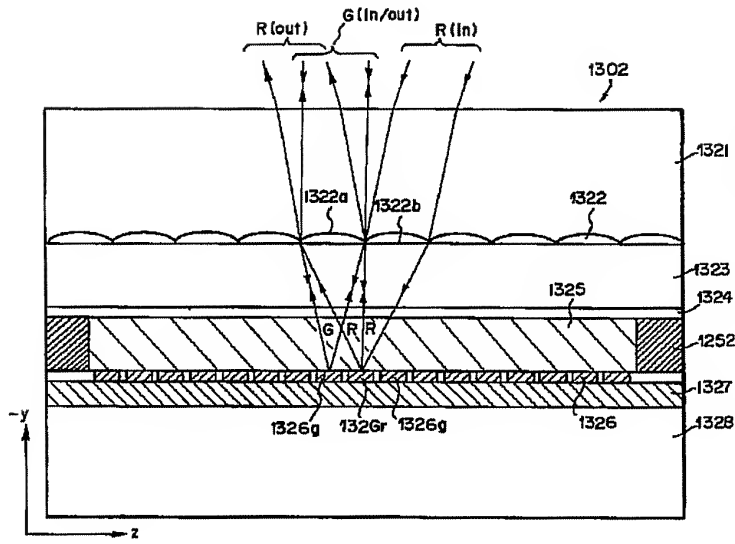
【图 26】



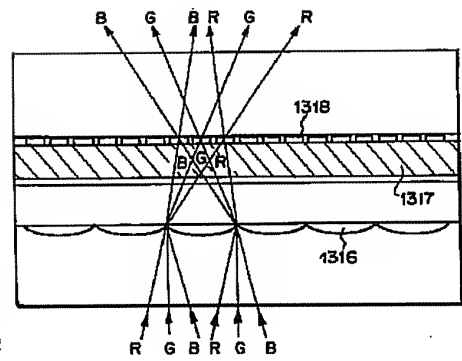
【図 21】



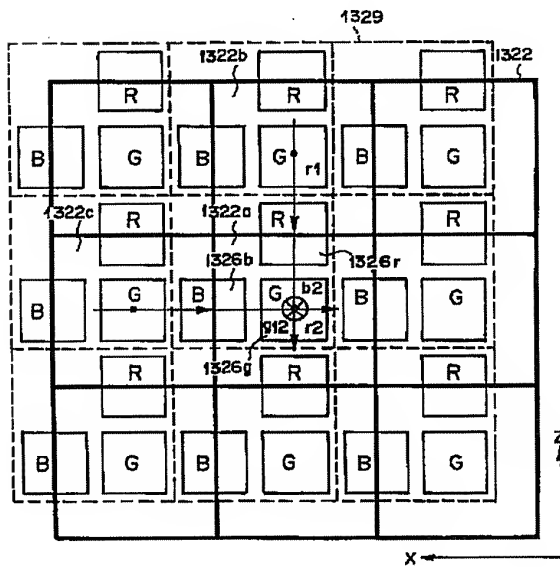
【図 2 5】



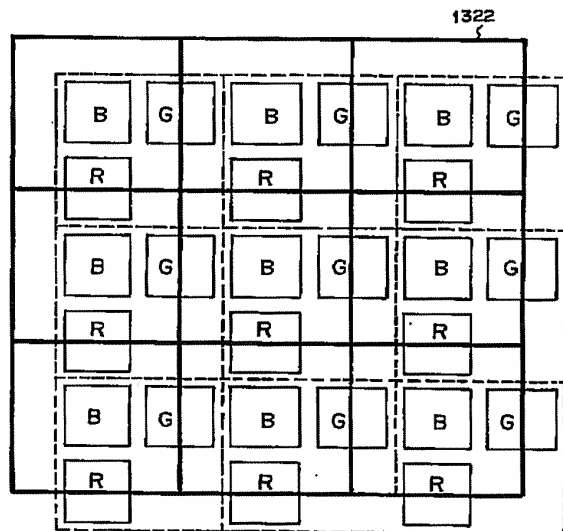
【図 3 4】



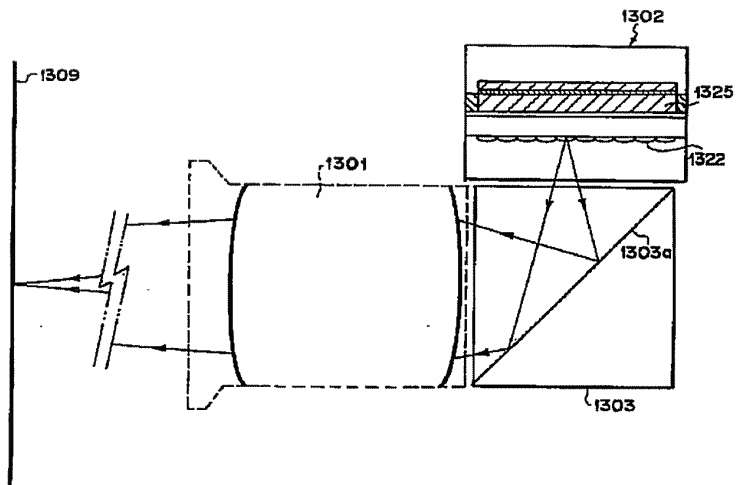
【図 2 7】



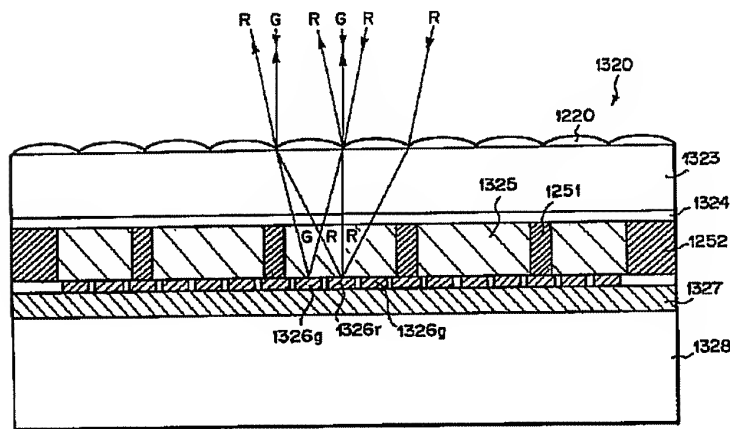
【図 3 1】



【図 2 8】



【図 3 2】



【図 3 3】

